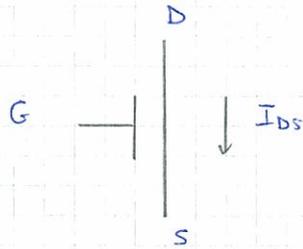


MOS



1) MOS OFF

$$V_{GS} = V_G - V_S$$

$$V_{GS} < V_T$$

$$I_D = 0 = I_{DS}$$

2) MOS LIN

$$V_{DS} < V_{GS} - V_T$$

$$I_{DS} = \beta_n \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

3) MOS SAT

$$V_{DS} > V_{GS} - V_T$$

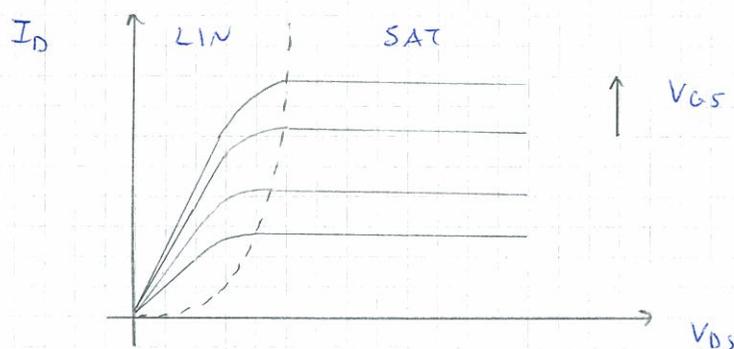
$$I_{DS} = \frac{\beta_n}{2} (V_{GS} - V_T)^2$$

NOTA:

V_T = tensione di soglia, da non confondersi con la tensione termica. V_T è quella tensione che devo applicare al gate affinché si formi il canale.

$I_D = I_{DS}$ è la corrente fra drain e source.

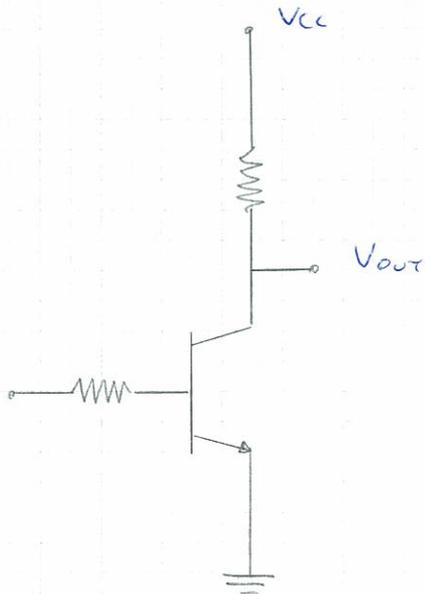
Nel caso dei MOS le caratteristiche di ingresso sono poco significative, perché $I_G = 0$ in qualsiasi condizione. Più interessanti sono le caratteristiche di uscita.



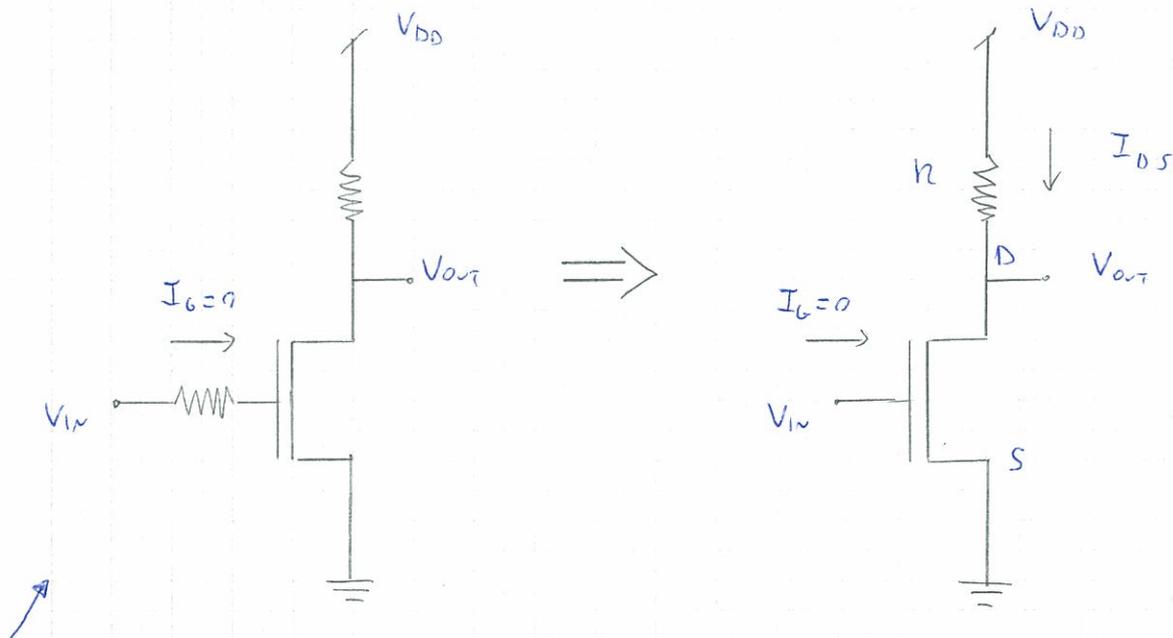
INVERTITORE

L'invertitore è un circuito che ad un 1 in ingresso risponde con uno 0 in uscita e ad uno 0 in ingresso risponde con un 1 in uscita.

Noi abbiamo visto un invertitore NTC, realizzato con BJT. Il suo difetto è che andava pilotato in corrente, per cui vi era un elevato assorbimento di potenza.



Ora sostituiamo il BJT con un MOS



Inutile, perché tanto la corrente in ingresso al gate è nulla: su questa resistenza non si ha alcuna caduta di tensione.

$$V_{in} = V_{GS}$$

$$V_{out} = V_{DS}$$

1) Supponiamo che la Tensione in ingresso abbia un valore inferiore a V_T

$$V_i < V_T \Rightarrow V_{GS} < V_T$$

MOS OFF

$$I_{DS} = 0$$

$$V_{out} = V_{DD} - R I_{DS} = V_{DD}$$

2) $V_i > V_T$

$$V_{GS} > V_T \Rightarrow \text{MOS ON}$$

Ma saturato o lineare? Suppongo

$$V_{DS} < V_{GS} - V_T \Rightarrow \text{MOS LIN}$$

$$V_u < V_i - V_T$$

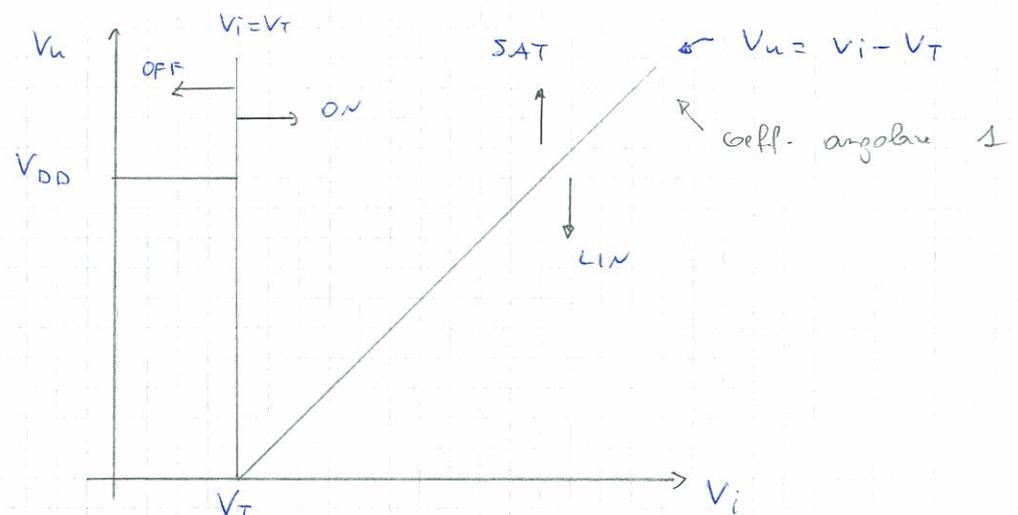
3) $V_i > V_T$

$$V_{GS} > V_T \Rightarrow \text{MOS ON}$$

$$V_{DS} > V_{GS} - V_T \Rightarrow \text{MOS SAT}$$

$$V_u > V_i - V_T$$

Quindi la separazione fra LIN e SAT si fa per $V_u = V_i - V_T$



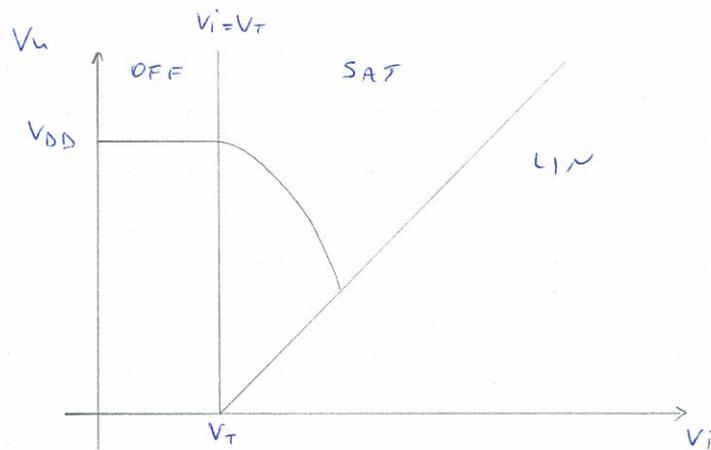
1) Quando MOS OFF sappiamo $V_u = V_{DD}$. Vediamo la dipendenza di V_u da V_i quando il MOS è in saturazione

$$\begin{aligned} 3) \quad I_{DS} &= \frac{\beta_m}{2} (V_{GS} - V_T)^2 = \text{MOS SAT} \\ &= \frac{\beta_m}{2} (V_i - V_T)^2 \end{aligned}$$

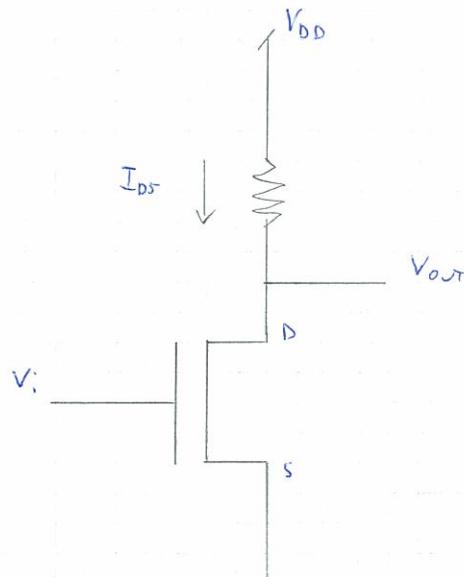
$$V_u = V_{DD} - R I_{DS}$$

$$V_u = V_{DD} - R \frac{\beta_m}{2} (V_i - V_T)^2$$

è l'equazione di una parabola con concavità verso il basso.



2) Studiamo il caso lineare



$$V_i > V_T$$

$$V_{DS} < V_{GS} - V_T$$

$$V_u < V_i - V_T$$

$$I_{DS} = \beta_n \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$I_{DS} = \beta_n \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right]$$

$$V_u = V_{DD} - R I_{DS}$$

$$V_u = V_{DD} - R \beta_n \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right]$$

È difficile trovare V_u in funzione di V_i . Per cui ricaviamo V_i in funzione di V_u poi ribatiamo il grafico.

$$\frac{V_u - V_{DD}}{R \beta_n} = -V_u \left[V_i - V_T - \frac{V_u}{2} \right]$$

$$\frac{1}{R \beta_n} - \frac{V_{DD}}{R \beta_n V_u} = - \left(V_i - V_T - \frac{V_u}{2} \right)$$

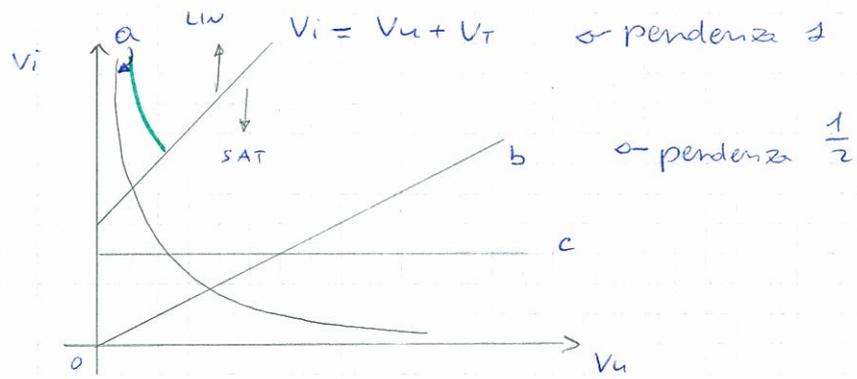
$$V_i = \frac{V_{DD}}{R \beta_n V_u} - \frac{1}{R \beta_n} - V_T - \frac{V_u}{2}$$

$$V_i = \underbrace{\frac{V_{DD}}{R \beta_n V_u}}_d + \underbrace{\frac{V_u}{2}}_b - \underbrace{\left(\frac{1}{R \beta_n} - V_T \right)}_c$$

d - è un'iperbole

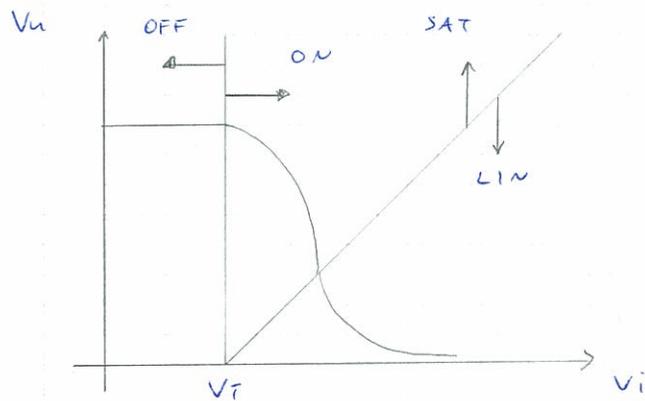
b - è una retta passante per l'origine con pendenza $1/2$

c - termine costante. È positivo o negativo? $V_i \approx 0,6$ V. R è molto grande - β_n può variare. Nel complesso possiamo considerare tutto ciò che c'è tra parentesi (con le - davanti) come positivo, anche se in realtà dipende dalla tecnologia (variano i valori di β_n e V_T)

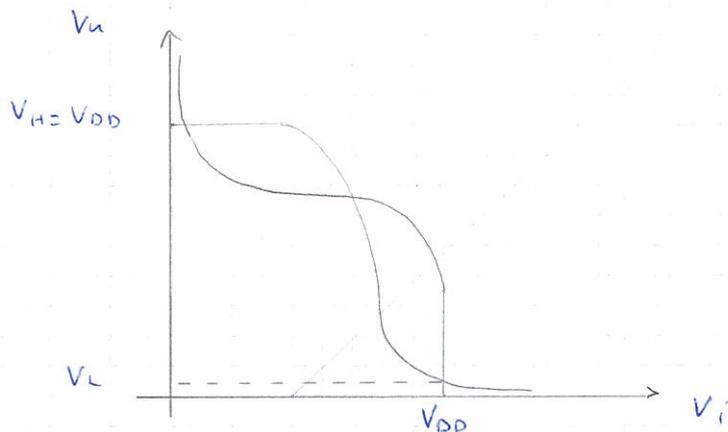


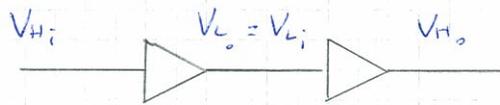
Ma questo vale solo in una parte del piano, quella che sta a destra della retta $V_u = V_i - V_T$. Riportandola su questo piano diventa la retta $V_i = V_u + V_T$. V_T è sopra o sotto la costante c ? Sta sopra: c infatti sta obliqua in giù. Otteniamo un andamento circa così //

Da ribaltiamo la curva sull'altro grafico.



A un ingresso alto corrisponde un'uscita bassa e viceversa: il circuito si sta comportando da invertitore. Si parla di invertitore CMOS con carico resistivo. Cerchiamo i valori logici alto e basso intersecando questa curva con la sua simmetrica rispetto alla bisettrice.





$$V_H = V_{DD}$$

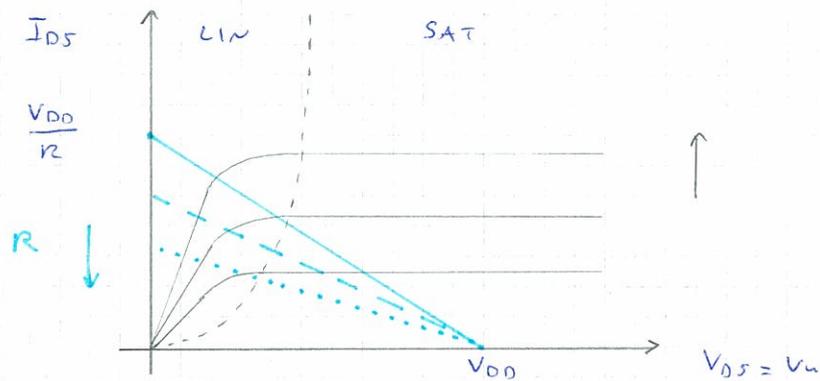
Ma quanto vale il valore logico basso? Intenere la caratteristica, nella parte giusta del grafico, con $V_i = V_{DD}$.

$$V_i = \frac{V_{DD}}{R \beta_M V_u} + \frac{V_u}{2} - \frac{1}{R \beta_M} + V_T \Rightarrow V_u$$

Pongo $V_i = V_{DD}$

$$V_{DD} = \frac{V_{DD}}{R \beta_M V_u} + \frac{V_u}{2} - \frac{1}{R \beta_M} + V_T \Rightarrow V_u$$

Andiamo avanti con la caratteristica. Vediamo come varia I_{DS} in funzione di V_u

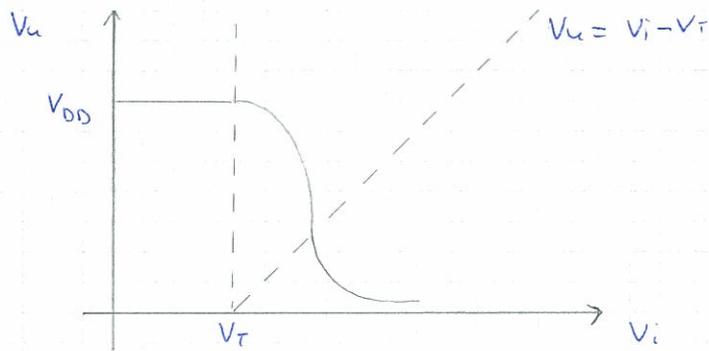


$$V_u = V_{DD} - R I_{DS}$$

$$I_{DS} = \frac{V_{DD} - V_u}{R}$$

Posta su questo piano e' una retta con pendenza negativa. Questa retta prende il nome di RETTA DI CARICO.

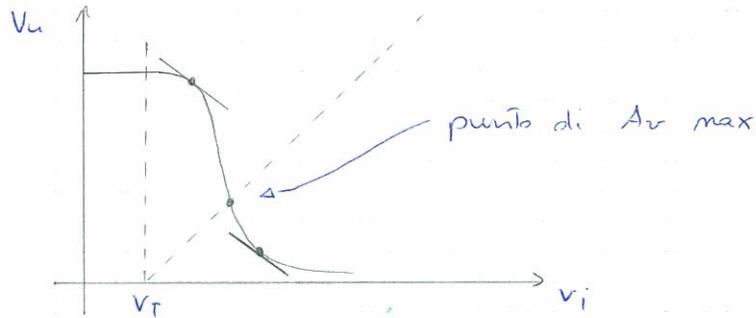
Per $V_i = 0$ il MOS e' spento. Al crescere di V_i mi sposto sulla retta verso sinistra, dalla saturazione al lineare.



Dalla retta di carico vedo che all'aumentare di R $\frac{V_{DD}}{R}$ diminuisce. Per valori di V_u piccoli all'aumentare di R la retta interseca V_i basse.

Margine di immunità ai disturbi dell'invertitore

Cerchiamo sulla caratteristica $V_u(V_i)$ le coordinate dei punti in cui il guadagno ha modulo 1.



Nel caso ideale vorrei due tratti a pendenza molto bassa e uno centrale a pendenza molto alta. Cerco i punti di separazione fra questi tratti.

$$|A_v| = 1$$

$$A_v = -1$$

SAT

$$V_u = V_{DD} - \frac{R\beta_m}{2} (V_i - V_T)^2$$

$$A_v = \frac{dV_u}{dV_i} = - \frac{R\beta_m}{2} (V_i - V_T)$$

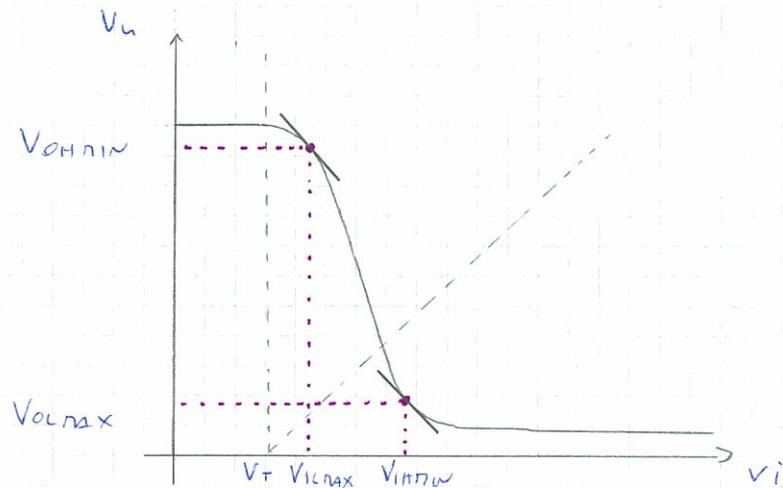
Il mos è saturo fintanto che

$$V_{DS} > V_{GS} - V_T$$

$$V_u > V_i - V_T$$

$$V_u = V_i - V_T$$

$A_{v_{max}}$ @ $V_u = V_i - V_T$ ← soglia della saturazione



Trovare le coordinate di questi punti considerando i valori

$$\beta = 1 \text{ m} \frac{A}{V^2}$$

$$V_T = 0.6 \text{ V}$$

$$V_{DD} = 3.5 \text{ V}$$

$$R = 106 \ \Omega$$

SAT

$$V_u = V_{DD} - R \frac{\beta_m}{2} (V_i - V_T)^2$$

$$A_v = \frac{dV_u}{dV_i} = -1$$

$$\frac{dV_u}{dV_i} = - \frac{2 R \beta_m}{2} (V_i - V_T)$$

$$-1 = - \frac{2 R \beta_m}{2} (V_{i,max} - V_T) \Rightarrow V_{i,max} = 0.7 \text{ V}$$

Per trovare V_{OHmax} sostituire questo valore nell'eq. della parabola con $V_{i,max}$ verso le basi.

CIR

$$V_u = V_{DD} - \beta R \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right]$$

$$\frac{dV_u}{dV_i} = -1 \quad \leftarrow \begin{array}{l} \uparrow \\ \text{deriva direttamente questa eq. Non serve fare altri} \\ \text{calcoli per esplicitare } V_u \end{array}$$

$$\frac{dV_u}{dV_i} = -\beta R \left[(V_i - V_T) \frac{dV_u}{dV_i} + V_u - \frac{2V_u}{2} \frac{dV_u}{dV_i} \right]$$

$$-1 = -\beta R \left[(V_i - V_T) (-1) + V_u + V_u \right]$$

$$\frac{1}{\beta R} = -V_i + V_T + 2V_u \quad \leftarrow \text{eq. della tangente con pendenza } -1$$

$$\left\{ \begin{array}{l} \frac{1}{\beta R} = -V_{IHMIN} + V_T + 2V_{OLMAX} \\ V_{OLMAX} = V_{DD} - \beta R \left[(V_{IHMIN} - V_T) V_{OLMAX} - \frac{V_{OLMAX}^2}{2} \right] \end{array} \right. \quad \leftarrow \begin{array}{l} \text{ma nel punto di tangenza vale} \\ \text{sia l'eq. della retta sia l'eq. della curva} \end{array}$$

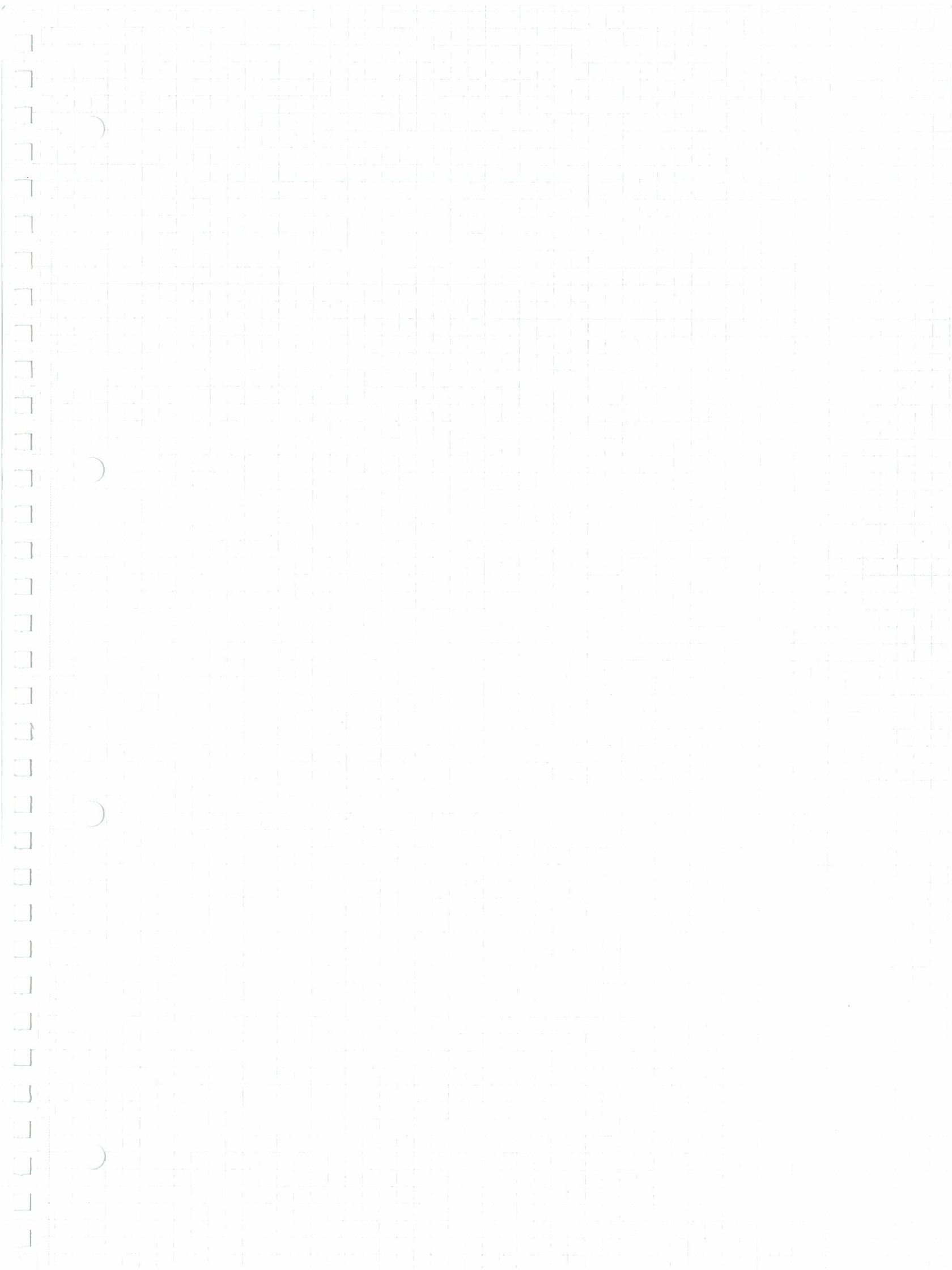
$$V_{IHMIN} = 1.46 \text{ V}$$

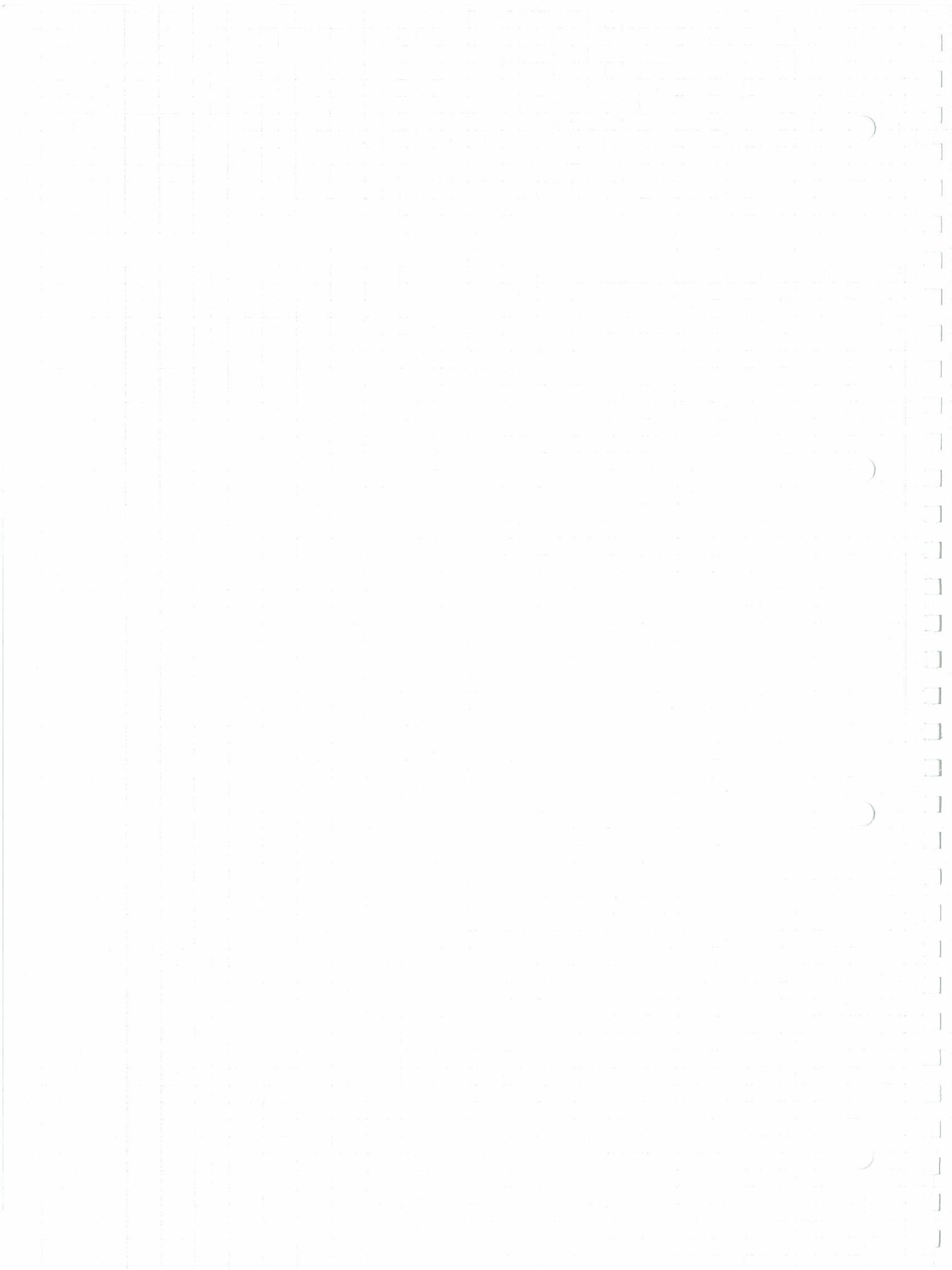
$$V_{OLMAX} = 0.68 \text{ V}$$

$$NM_L = V_{IHMAX} - V_{OLMAX} = 0.22 \text{ V}$$

$$NM_H = V_{OHMIN} - V_{IHMIN} = 1.33 \text{ V}$$

$$NM = 0.22 \text{ V}$$







Speriamo di voler migliorare il margine di immunità ai disturbi.

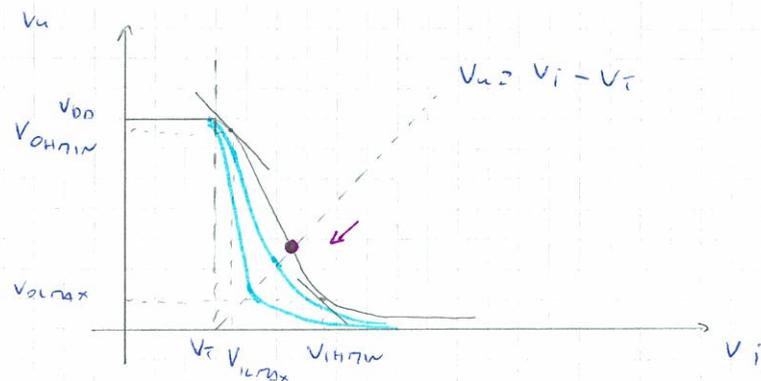
$$NM_L = V_{iLmax} - V_{oLmax}$$

$$NM_H = V_{oHmin} - V_{iHmin}$$

Se V_{iHmin} si sposta verso sx (diventa più piccolo) NM_H diventa più grande.

Se V_{oLmax} diventa più piccolo e parte di V_{iLmax} anche NM_L diventa più grande.

Quindi se sposta il punto in base verso il basso e verso sinistra migliorano entrambi i punti: punto (V_{iHmin}, V_{oLmax})



- Questa è il punto di guadagno massimo. Se lo sposta verso il basso lungo la retta $V_o = V_i - V_r$ la mia curva si sposta così: // . Di fatto sto spostando anche il punto (V_{iHmin}, V_{oLmax}) , migliorando il margine di immunità ai disturbi. Devo quindi aumentare il guadagno di tensione.

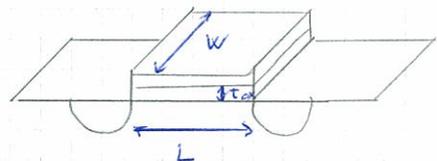
$$A_v = -\beta R (V_i - V_T)$$

Dipende dalle quantità β e R .

$$|A_v| \uparrow \quad \beta R \uparrow \quad \beta \uparrow \quad R \uparrow$$

β è un parametro caratteristico del transistor

$$\beta = C_{ox} \mu_n \frac{W}{L}$$



$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

L = lunghezza di canale
 W = larghezza di canale.

dove t_{ox} è lo spessore dell'ossido

μ_n è la mobilità degli elettroni, ed anche quella è definita dalla tecnologia.

Se voglio un β grande posso però intervenire su w e L . Esiste un limite inferiore alla lunghezza del canale che è fissato dalla tecnologia di fabbricazione. Il circuito integrato viene realizzato su parallelepipedi di silicio molto piccoli. L'insieme di passi necessari a creare il circuito integrato sono detti "processo di produzione" del circuito integrato. Anzi, quando si parla di tecnologia CMOS per ~~non~~ identificare quale tecnologia si sta usando il processo tecnologico prende il nome della lunghezza minima di canale che quella tecnologia permette di ottenere.

Ad es. si parla di

$$\text{CMOS } 0,18 \text{ } \mu\text{m}$$

$$\text{CMOS } 65 \text{ nm}$$

$$\text{CMOS } 45 \text{ nm}$$

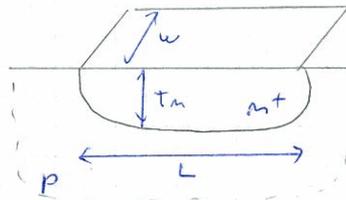
} questo passaggio si è fatto nell'arco di 2 anni

Mentre posso agire sulla lunghezza w del mio MOS . Il problema è che i MOS diventano ingombranti.

Però posso agire anche sulla resistenza. Come si realizza una resistenza in un circuito integrato?

$$R = \rho \frac{l}{S}$$

Partiamo sempre dal parallelepipedo di silicio. Qui lo già' dov'è realizzare le regioni source and drain. Contemporaneamente realizzo anche una regione drogata sempre n^+ che contatterò alle estremità. Questa è però veder come una resistenza, perché la posso vedere come un conduttore



Avere drogaggio elevato significa avere resistività bassa.

$$\sigma = 9 \mu\text{m m}$$

$$\left(\rho = \frac{1}{\sigma}\right)$$

Drogaggi elevati \rightarrow conducibilit  elevata \rightarrow resistivit  piccola \rightarrow resistenza piccola.
 Ma io voglio una resistenza grande.

Non mi resta quindi che agire sulla lunghezza l e sulla superficie $W \cdot l$

$$R = \rho \frac{L}{S} = \rho \frac{L}{W \cdot T_n}$$

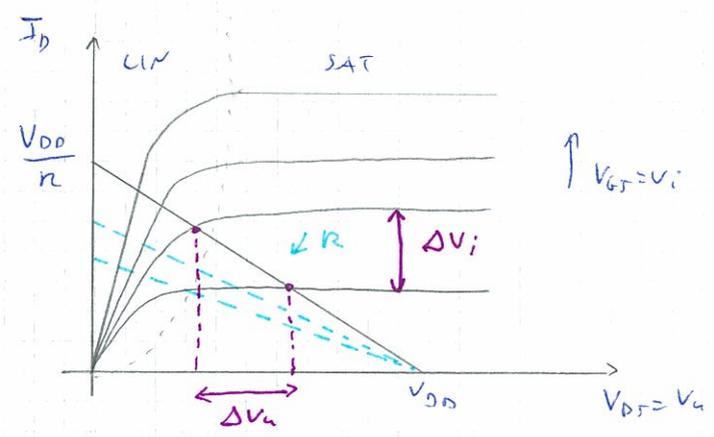
Sullo spessore faccio fatica ad agire, perch  e lo stesso che mi serve per fare le regioni di S e D del MOS. Ma su L e W posso agire. Devo fare qualcosa di lungo e stretto.

- $\beta \uparrow$ $L_{MOS} = L_{MIN}$
- $W_{MOS} \uparrow$
- $R \uparrow$ $L_n \uparrow$
- $W_n \downarrow$

Per avere R grande mi serve qualcosa di molto lungo, al punto che mi conviene arrotondare, e molto stretto. Quindi devo occupare tanto silicio. Allo stesso modo per avere β grande devo fare W grande e occupare tanto silicio. Quindi posso fare pochi invertitori sul silicio. Quindi non posso fare circuiti particolarmente complessi, ma solo circuiti elementari, perche occupano tanta area.

Questo circuito poi ha anche un altro vantaggio.

Abbiamo detto che   caratteristica di un invertitore deve avere 2 tratti a pendenza quasi nulla e uno a pendenza elevata. Torniamo a $I_D(V_{GS}, V_{DS})$



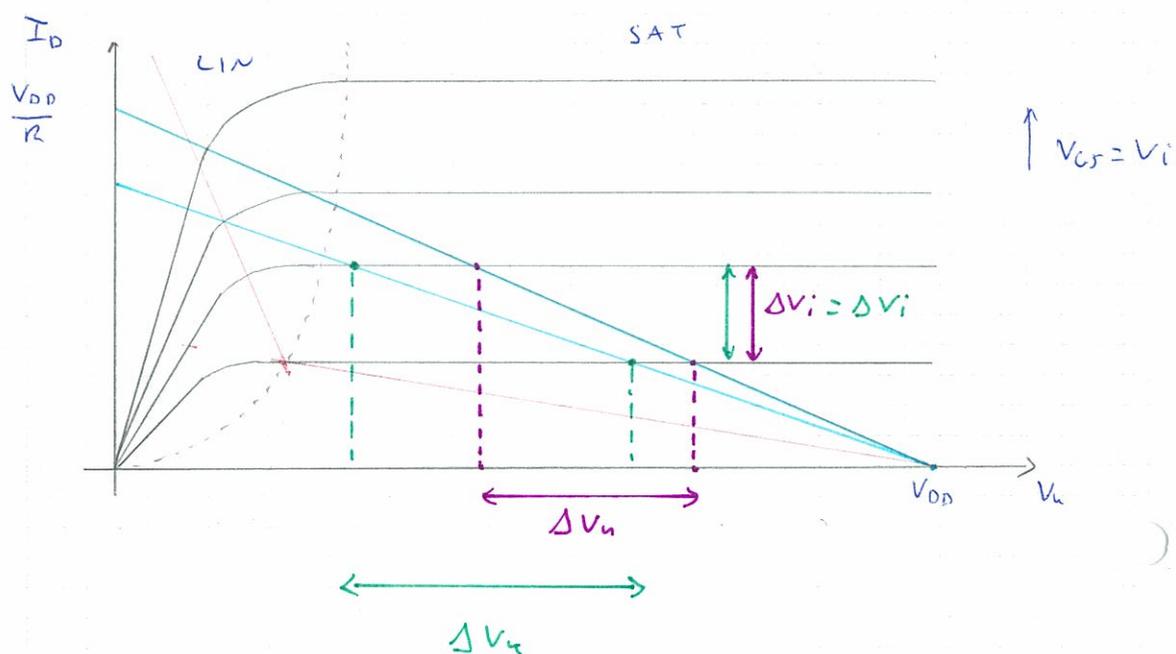
$$V_u = V_{DD} - n I_{DS}$$

$$I_{DS} = \frac{V_{DD} - V_u}{n}$$

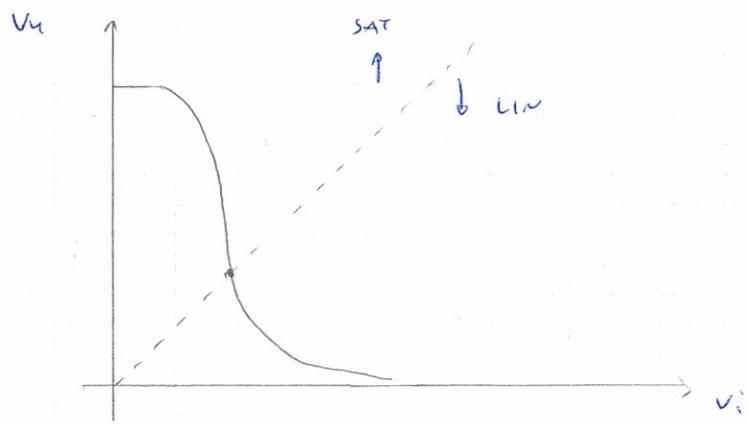
Fissato un valore di resistenza la retta di carico è univocamente determinata. Noi abbiamo detto che nella regione SAT vogliamo un guadagno alto.

$$A_u = \frac{\Delta V_u}{\Delta V_i}$$

Se abbasso la retta, a parità di ΔV_i , ΔV_u aumenta



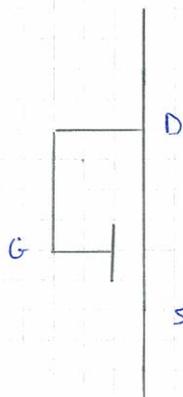
La stessa cosa succede nella parte lineare. Da questo non mi va bene, perché nella parte lineare voglio mantenere un guadagno piccolo.



Ripetiamo: per aumentare NR voglio aumentare Av . Posso aumentare β o R .
 1) Il circuito diventa ingombrante 2) 2° problema: aumentando R aumento il guadagno nella regione lineare, cosa che non voglio.

Devo cercare di risolvere il problema. Come vorrei che fosse fatta la curva di carico del mio circuito? A guadagno alto nella regione di saturazione e a guadagno basso nella regione lineare. Quindi non voglio più una retta di carico ma una curva più complicata. Cosa che però non posso ottenere con il circuito che sto realizzando, perché R è quella. // = retta di carico che vorrei

Logica a tappeto



Chiediamoci se sostituendo un MOS in questa configurazione alla resistenza ottengo quello che voglio.

Vediamo in che regioni può lavorare

$$V_{GS} < V_T \quad n \text{ OFF}$$

$$V_{GS} > V_T \quad n \text{ ON}$$

$$V_G = V_D$$

$$V_{GS} = V_G - V_S = V_D - V_S = V_{DS}$$

Ma lavora in SAT o LIN? Ipotesi LIN

$$HP \quad LIN$$

$$V_{DS} < V_{GS} - V_T$$

$$V_{DS} = V_{GS}$$

$$0 < -V_T \quad \text{FALSO}$$

$$MOS \quad SAT$$

$$HP \quad SAT$$

$$V_{DS} > V_{GS} - V_T$$

$$0 > -V_T \quad \text{VERO}$$

In ogni caso concludo che il MOS è saturo.

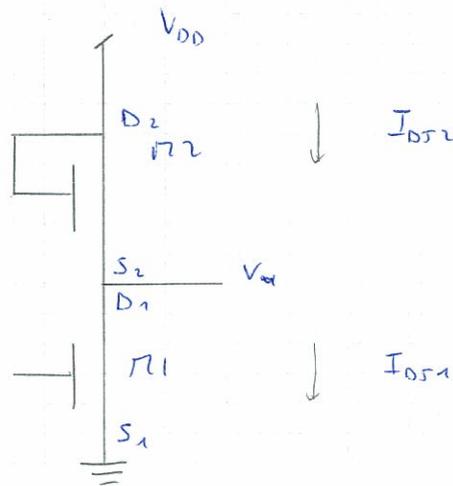
$V_{GS} < V_T$ MOS OFF

$V_{GS} > V_T$ MOS ON sempre SAT

$$I_{DS} = \frac{\beta_n}{2} (V_{GS} - V_T)^2 = \frac{\beta_n}{2} (V_{DS} - V_T)^2$$

è l'eq. di una parabola con concavità verso l'alto.

$$V_{GS} = V_{DS}$$



$$I_{DS1} = I_{DS2} = I_{DS}$$

Se voglio ripetere la mia parabola sopra sul piano I_{DS}/V_{DS} devo stare attenta, perché nel grafico di prima V_{GS} era la V_{GS} del solo transistor $M1$. Invece ora I_{DS} è la stessa per entrambi i MOS.

$$V_{DS2} = V_{DD} - V_{in} = V_{DD} - V_{DS1}$$

Quindi l'eq. sopra diventa

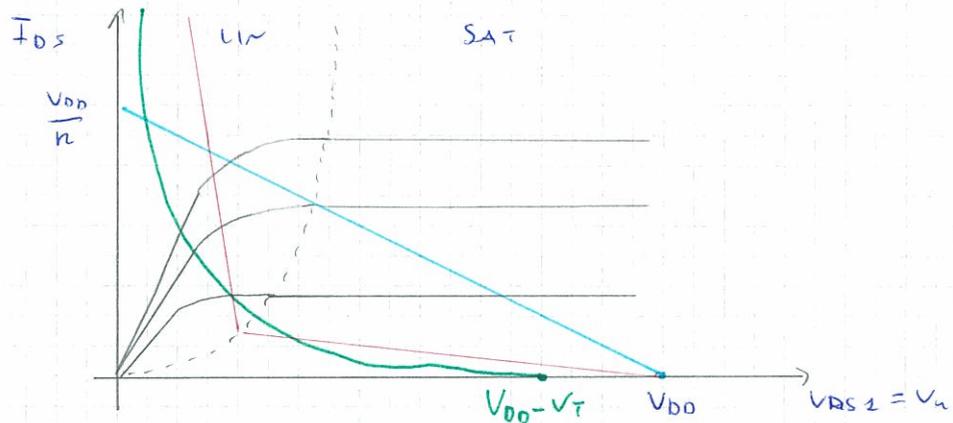
$$I_{DS} = \frac{\beta_n}{2} (V_{DD} - V_{DS1} - V_T)^2$$

è ancora una parabola con concavità verso l'alto. Ma il vertice dov'è?

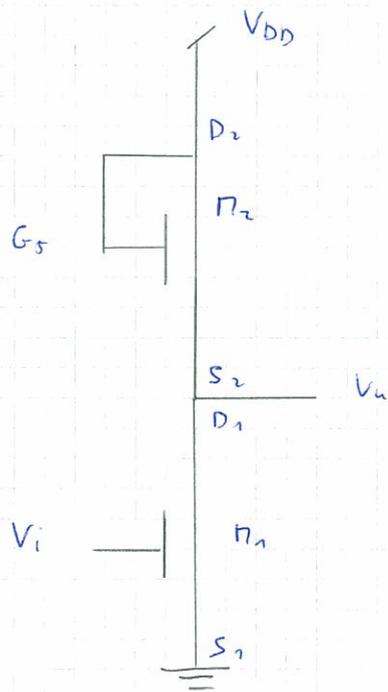
I_{DS} non può essere negativa: al più si può annullare. Quanto vale V_{DS} per $I_{DS} = 0$?

$$I_{D5} = 0 \Rightarrow V_{D0} - V_{D51} - V_T = 0 \Rightarrow V_{D51} = V_{D0} - V_T$$

Poi abbiamo detto che per V_{D5} decrescenti I_{D5} aumenta in modo parabolico.



Assomiglia a un' di zener.



Studiamo la caratteristica di questo circuito.

I) $V_i < V_T$

M_1 $V_{GS1} = V_i < V_T$ OFF

M_2 ON? Quanto

(M_2 in ON e' SAT)

$V_{GS2} > V_T$

↑
 abbiamo dimostrato

$$V_{GS2} = V_{DD} - V_u > V_T$$

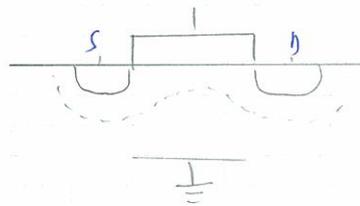
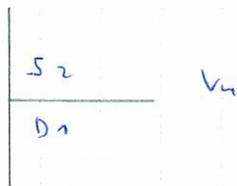
$$V_u < V_{DD} - V_T$$

Per $V_u = V_{DD} - V_T$ il transistor si trova sulla soglia dello spegnimento.

$$\pi \uparrow \text{ OFF} \rightarrow I_{DS1} = 0 \rightarrow I_{DS2} = I_{OS1} = 0$$

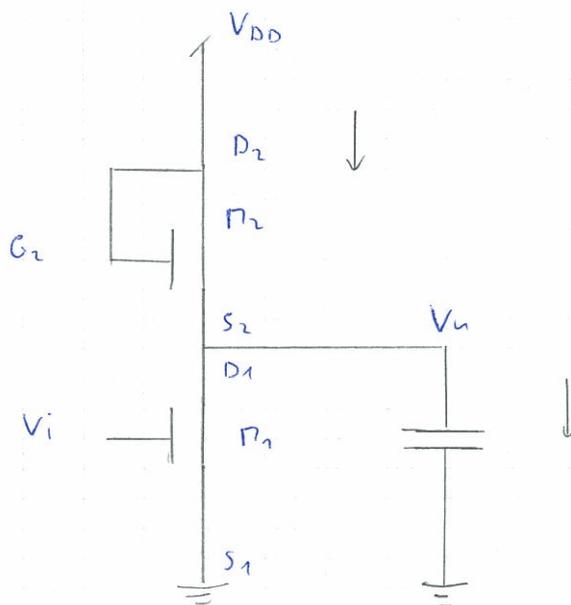
$$I_{DS2} = \frac{\beta_n}{2} (V_{GS2} - V_T)^2$$

Per ricavare la V_u è più comodo pensare di non essere a vuoto, ma di avere in uscita un carico capacitivo, che potrebbe rappresentarsi ad es. un altro MOS. Poiché c'è anche un altro motivo.

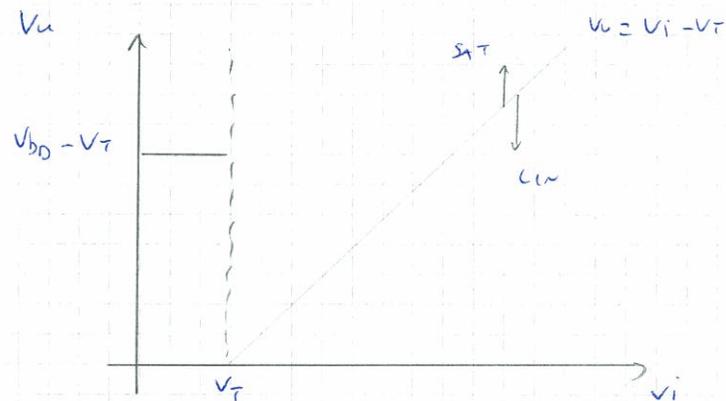


Abbiamo delle regioni di drain e source circondate da una regione sottile. Possiamo immaginare che con il substrato si formi una capacità.

Non è quindi irragionabile pensare che ci sia una capacità connessa in uscita.



Tutta la corrente del MOS M_2 va a finire nella capacità che si carica.
 Questo fin tanto che M_2 eroga corrente. Questo accade fin a che $V_u < V_{DD} - V_T$,
 dopodiché M_2 si spegne. Per cui la V_u non può andare oltre a $V_{DD} - V_T$



«Perché» nel grafico I_{DS1} / V_{DS1} di prima abbiamo messo $I_{DS} = 0$ per
 $V_{DD} - V_T = V_{DS1}$. Prima infatti non è nemmeno giustificato.

$$I_{DS1} = \frac{\beta_n}{2} (V_{DD} - V_u - V_T)^2 = 0$$

$$V_{DD} - V_u - V_T = 0$$

$$V_u = V_{DD} - V_T$$

I valori $V_u > V_{DD} - V_T$ non sono raggiungibili perché non lo è corrente non
 carica la capacità.

Si dice che questo invertitore "perde una soglia": il valore V_{alto} ^{logico} non è
 più V_{DD} come nell'invertitore a carico resistivo ma è $V_{DD} - V_T$. Questo
 è uno svantaggio: abbiamo una escursione logica (differenza fra i valori
 logici alto e basso) più piccola.

II) $V_i > V_T$

M_1 ON

M_2 SAT o LIN?

H_p SAT

$V_{DS} > V_{GS} - V_T$

$V_u > V_i - V_T$ OK

M_2 se è acceso è sempre SAT

Id) Studiamo il caso

M1 SAT

M2 SAT

$$I_{DS1} = \frac{\beta_{M1}}{2} (V_{GS1} - V_T)^2 = \frac{\beta_{M1}}{2} (V_i - V_T)^2$$

$$I_{DS2} = \frac{\beta_{M2}}{2} (V_{GS2} - V_T)^2$$

$$V_{GS2} = V_{G2} - V_{S2} = V_{DD} - V_u$$

$$I_{DS2} = \frac{\beta_{M2}}{2} (V_{DD} - V_u - V_T)^2$$

$$I_{DS2} = I_{DS1}$$

$$\frac{\beta_{M1}}{2} (V_i - V_T)^2 = \frac{\beta_{M2}}{2} (V_{DD} - V_u - V_T)^2$$

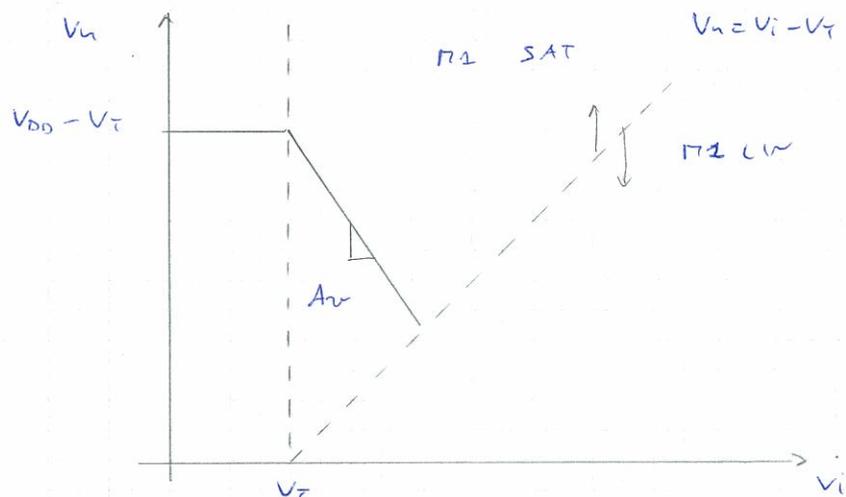
$$\sqrt{\frac{\beta_{M1}}{\beta_{M2}}} (V_i - V_T) = V_{DD} - V_u - V_T$$

$$V_u = V_{DD} - V_T + \sqrt{\frac{\beta_{M1}}{\beta_{M2}}} V_T - \sqrt{\frac{\beta_{M1}}{\beta_{M2}}} V_i =$$

$$V_u = -\sqrt{\frac{\beta_{M1}}{\beta_{M2}}} V_i + V_{DD} + V_T \left(\sqrt{\frac{\beta_{M1}}{\beta_{M2}}} - 1 \right)$$

questa è una retta negativa
con pendenza negativa $-\sqrt{\frac{\beta_{M1}}{\beta_{M2}}}$

$$A_v = \frac{dV_u}{dV_i} = -\sqrt{\frac{\beta_{M1}}{\beta_{M2}}}$$



Possiamo giocare su β_{M1} e β_{M2} per cambiare il guadagno.

II B) Studiamo il caso

M1 LIN

M2 SAT

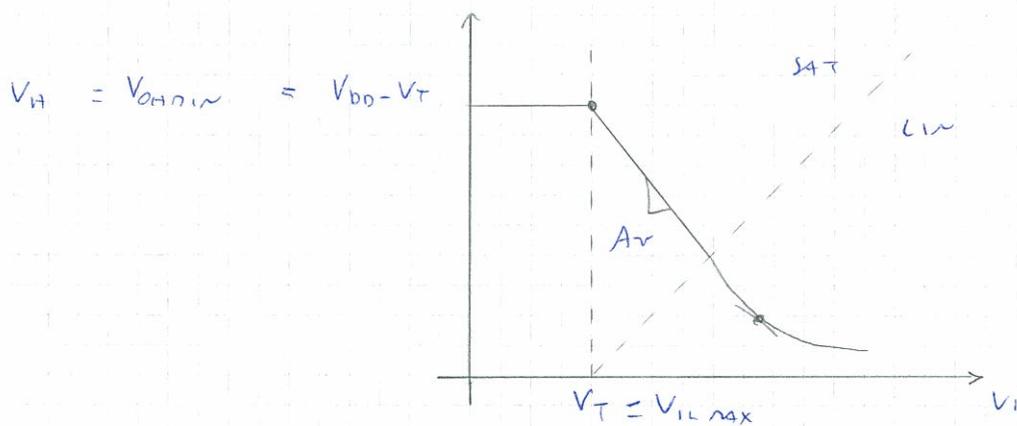
$$I_{D51} = \beta_{M1} \left[(V_{GS1} - V_T) V_{DS1} - \frac{V_{DS1}^2}{2} \right] = \beta_{M1} \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right]$$

$$I_{D52} = \frac{\beta_{M2}}{2} (V_{GS2} - V_T)^2 = \frac{\beta_{M2}}{2} (V_{DD} - V_u - V_T)^2$$

$$I_{D51} = I_{D52}$$

$$\beta_{M1} \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right] = \frac{\beta_{M2}}{2} (V_{DD} - V_u - V_T)^2$$

Anche in questo caso conviene trovare V_i in funzione di V_u e poi ribaltare nel piano $V_u = V_i$. Alla fine otterremo qualcosa del tipo:



$V_{DD} - V_T$ è il
valore V_{GS} alto.
Per trovare quello
caso ribaltato e
interessante.

Ma per trovare i margini di immunità ai disturbi? Per $V_i < V_T$ il guadagno è 0.

Poi quando entri in SAT $|A_v| > 1$. Quindi il punto di svolta

è $(V_T, V_{DD} - V_T)$

Per trovare le coordinate dell'altro punto faccio $\frac{dV_u}{dV_i}$ a partire dall'eq.

potrebbe ribaltare
 $V_i > V_T$

si ripartisce
in ingresso
spesso β_{M2}

$$\beta_{M1} \left[(V_i - V_T) V_u - \frac{V_u^2}{2} \right] = \frac{\beta_{M2}}{2} (V_{DD} - V_u - V_T)^2$$

$$\beta_{M2} = 1 \text{ mA/V}^2$$

$$\beta_{M1} = 3 \text{ mA/V}^2$$

Derivo poi impongo $\frac{dV_u}{dV_i} = -1$

Trovare valore V_{GS} basso, margini di immunità ai
disturbi.

Ottengo una relazione a due incognite e li metto a sistema con questa,
quella non derivata.

$$A_v = - \sqrt{\frac{\beta_{m1}}{\beta_{m2}}}$$

$$\beta_{m1} = C_{ox} \mu_n \frac{W_1}{L_1}$$

$$\beta_{m2} = C_{ox} \mu_n \frac{W_2}{L_2}$$

Se C_{ox} e μ_n non possiamo agire. Tutti i transistori realizzati nello stesso silicio avranno lo stesso C_{ox} e μ_n , che dipenderanno dalla tecnologia. Possiamo lavorare su W e L .

$$A_v = - \sqrt{\frac{\beta_{m1}}{\beta_{m2}}} = - \sqrt{\frac{W_1}{L_1} \cdot \frac{W_2}{L_2}}$$

Vogliamo un guadagno elevato

lunghezza minima della tecnologia



$W_1 L_2 \uparrow$	M1	$W_1 \uparrow$	$L_1 \downarrow = L_{min}$	costo e C_{ox}
$L_1 W_2 \downarrow$	M2	$W_2 \downarrow$	$L_2 \uparrow$	lungo e stretto

Altra una volta abbiamo un problema di ingombro di area notevole.

Perché A_v dipende dal valore del rapporto fra i β in questo

logica viene detto

LOGICA A RAPPORTO (ratio ed)

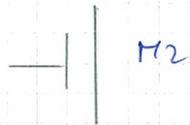
Lo svantaggio delle logiche a rapporto è che non posso fare logiche

troppo piccole. In uno stesso chip posso mettere meno dispositivi.

Si chiama CHIP (DIE) il blocchetto di silicio su cui viene realizzato il circuito integrato.

L'altro problema di questa logica è che l'escursione logica è ridotta

(V_H non può andare oltre a $V_{DD} - V_T$).

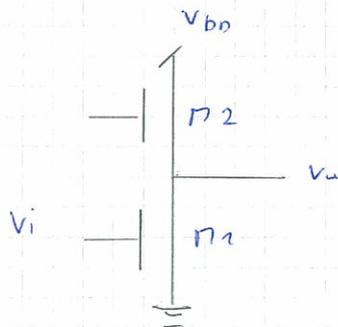


Hp M2 LIN

$$V_{DS2} < V_{GS2} - V_T$$

$$I_{DS2} = \beta_{M2} \left[(V_{GS2} - V_T) V_{DS2} - \frac{V_{DS2}^2}{2} \right]$$

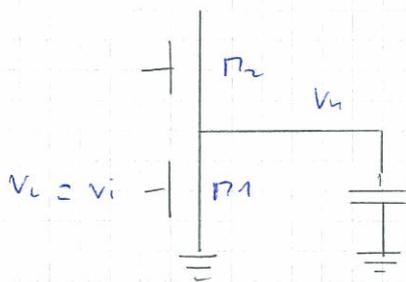
Supponiamo di mettere questo transistore in linearità all'interno del nostro circuito.



Vogliamo vedere qual è il valore dell'uscita in corrispondenza di un ingresso basso.

$$V_i = V_L < V_T \Rightarrow M1 \text{ OFF}$$

M2 LIN



Immaginiamo di mettere una capacità in uscita. Questa si carica finché non raggiungiamo una condizione stazionaria con $I_{DS} = 0$.

$$I_{DS2} = 0$$

NOTA: V_{GS} non è grande valore, ma deve essere un valore solotto da rendere M2 LIN

$$\beta_{M2} V_{DS2} \left[V_{GS2} - V_T - \frac{V_{DS2}}{2} \right] = 0$$

è un'eq. di 2° grado. Ottengo due soluzioni:

• $V_{DS2} = 0$

• $V_{GS2} - V_T - \frac{V_{DS2}}{2} = 0 \Rightarrow V_{GS2} = V_T + \frac{V_{DS2}}{2}$

Perché sia lineare $M2$ deve avere

$$V_{DS2} < V_{GS2} - V_T$$

$$V_{DS2} < \frac{V_{GS2}}{V_T} + \frac{V_{DS2}}{2} - V_T$$

$$V_{DS2} < \frac{V_{DS2}}{2} \quad \text{assurdo}$$

\Rightarrow solo $V_{DS2} = 0$ è accettabile

Quindi se riesco a tenere $M2$ in LIN quando $M2$ è spento (cioè l'ingresso è basso, ossia inferiore alla tensione di soglia), allora la tensione di uscita è uguale a V_{DD} , infatti

$$V_{DS2} = V_{DD} - V_u = 0 \Rightarrow V_u = V_{DD}$$

Se riesco a tenere $M2$ in lineare questa volta la tensione di uscita è posta a V_{DD} : non si ferma più a $V_u = V_{DD}$.

Da il problema è: come faccio a tenere $M2$ in lineare?

$M2$ LIN

$$V_{DS2} < V_{GS2} - V_T$$

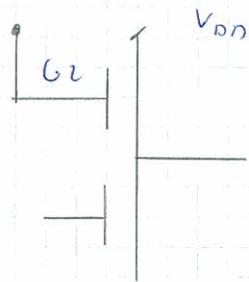
$M2$
ON $\Rightarrow V_{GS2} > V_T$

$$V_{DS2} - V_{GS2} < V_{GS2} - V_{GS2} - V_T$$

$$V_{DS2} < -V_T$$

$$V_{GS2} > V_{DD} + V_T$$

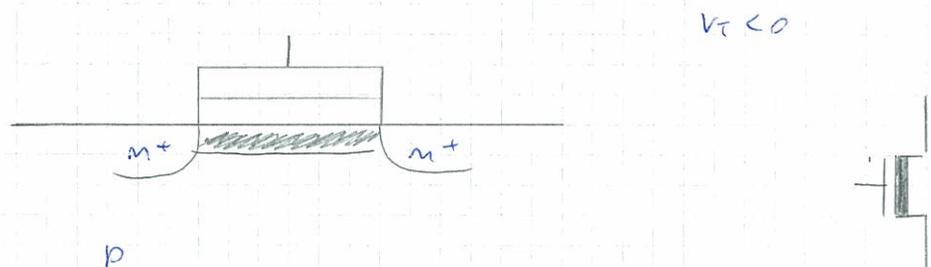
Vuol dire che il moschetto G di $M2$ deve portare una alimentazione costante superiore a $V_{DD} + V_T$



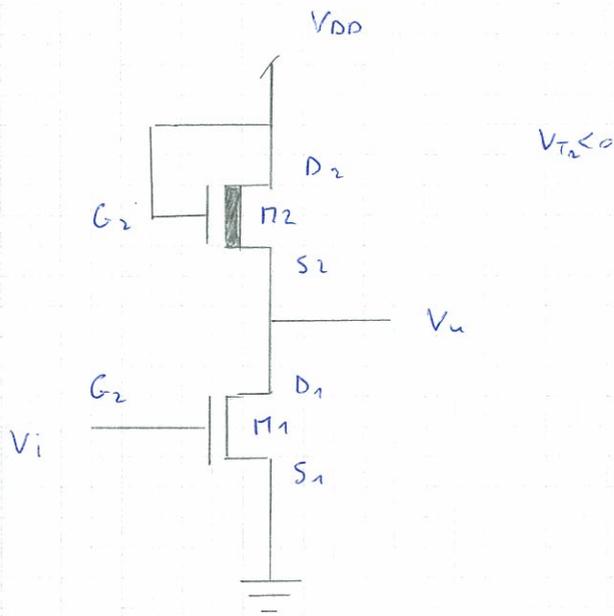
Questo è fattibile ma non efficiente, perché devo avere due alimentazioni e portare in ingresso a tutti i miei dispositivi. Ed avere tutte queste linee che girano per il dispositivo è molto scomodo. Per cui questa soluzione, pur essendo praticabile, non è di fatto mai stata adottata.

Voglio fare in modo che per un'una sola alimentazione pari a V_{DD} V_{GS} vada in linea. Se io riuscissi a realizzare un dispositivo con una tensione di soglia negativa riuscirei a tenerlo in linea anche con una tensione di alimentazione pari a V_{DD} . Un dispositivo con tensione di soglia negativa è il p-mos. (anche gli n-mos a svotamento).

nota: cos'è un m-mos a svotamento.



Supponiamo di creare un dispositivo in cui il canale è già formato: c'è creato lo drogando di tipo n. Il canale è già formato senza applicare tensione tra S e D. Se voglio svotare quel canale devo applicare una tensione negativa. Quindi la tensione di soglia di questo dispositivo è minore di zero.



NOTA: non è detto che le due tensioni di soglia per enhancement e depletion siano uguali

M2 LIN e

$$V_{DS2} < V_{GS2} - V_{T2}$$

$$V_{DS2} < V_{GS2} + |V_{T2}|$$

$$\cancel{V_{DD}} - V_u < \cancel{V_{DD}} - V_u + |V_{T2}|$$

$$0 < +|V_{T2}| \quad \text{eq. verificata}$$

Con un enhancement in questa configurazione M2 lavora in AT. Con un depletion M2 LIN.

Questa volta dal punto di vista tecnologico il problema è che ho dispositivi di due tipi diversi. Qui tra l'altro ho un processo in più perché devo anche creare il canale e' un processo costoso.

Analizziamo la caratteristica.

$$V_i < V_{T1}$$

M1 OFF quando è acceso e' in LIN

$$M2 \text{ ON se } V_{GS2} > V_{T2}$$

$$V_{GS2} > -|V_{T2}|$$

$$V_{DD} - V_u > -|V_{T2}|$$

$$V_u < V_{DD} + |V_{T2}| \quad \leftarrow \text{sempre verificato}$$

=> M2 ON sempre

M1 OFF

M2 LIN

$$I_{D2} = \beta_{M2} \left[(V_{GS2} + |V_{T2}|) V_{DS2} - \frac{V_{DS2}^2}{2} \right]$$

M2 è sempre acceso, ma fino a che valore potrà andare la tensione dell'uscita?

Fino al massimo consentito dal circuito, cioè

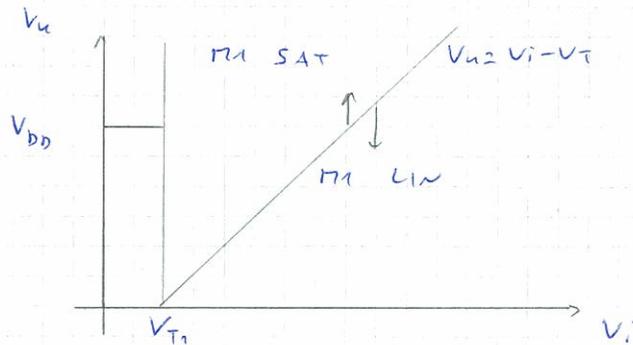
$$V_u = V_{DD}$$

Quando ciò accade succede

$$V_{DS2} = V_{DD} - V_u = 0 \Rightarrow I_{D2} = 0$$

↑
 $V_u = V_{DD}$

M2 è acceso (cioè il canale) ma non può erogare corrente (non si spostano le cariche fra S e D).



Per $V_i > V_{T1}$ si accende anche il transistor M2.

$$V_i > V_{T1}$$

M1 ON

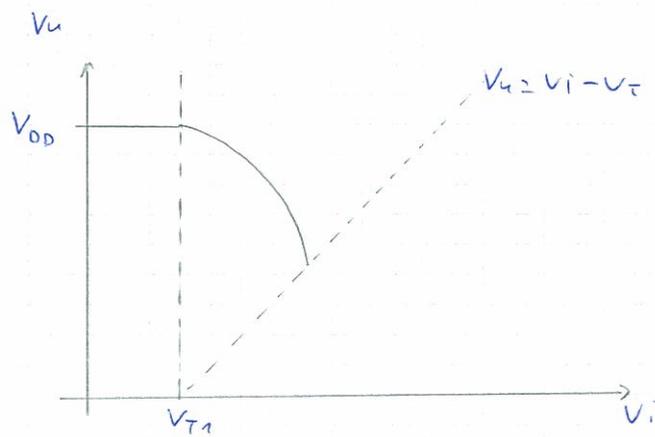
Sarà SAT o LIN? SAT (vedi grafico ↑)

M2 ON LIN

$$I_{D1} = I_{D2}$$

$$\frac{\beta_{M1}}{2} \cdot \left(\overset{V_{GS1}}{\downarrow} V_i - V_T \right)^2 = \beta_{M2} \left[\left(\overset{V_{GS2}}{\downarrow} \overbrace{V_{DD} - V_u}^{\text{---}} + |V_{T2}| \right) \underbrace{(V_{DD} - V_u)}_{\Delta} + \frac{(V_{DD} - V_u)^2}{2} \right]$$

Otengo una equazione:



$M1$ LIN

$M2$ LIN

$$V_{DS1} < V_{GS1} - V_{T1}$$

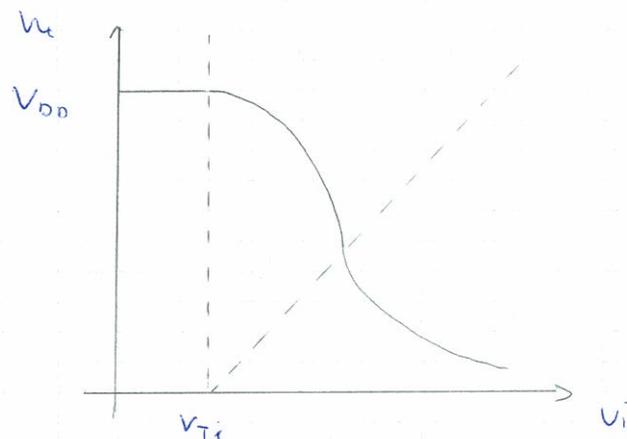
$$v_u = v_i - V_T$$

$$v_i > v_u + V_{T1}$$

$$I_{DS1} = I_{DS2}$$

$$\beta_{M1} \left[(v_i - V_{T1}) v_u - \frac{v_u^2}{2} \right] = \beta_{M2} \left[(V_{DD} - v_u + |V_{T2}|) (V_{DD} - v_u) - \frac{(V_{DD} - v_u)^2}{2} \right]$$

Otengo:



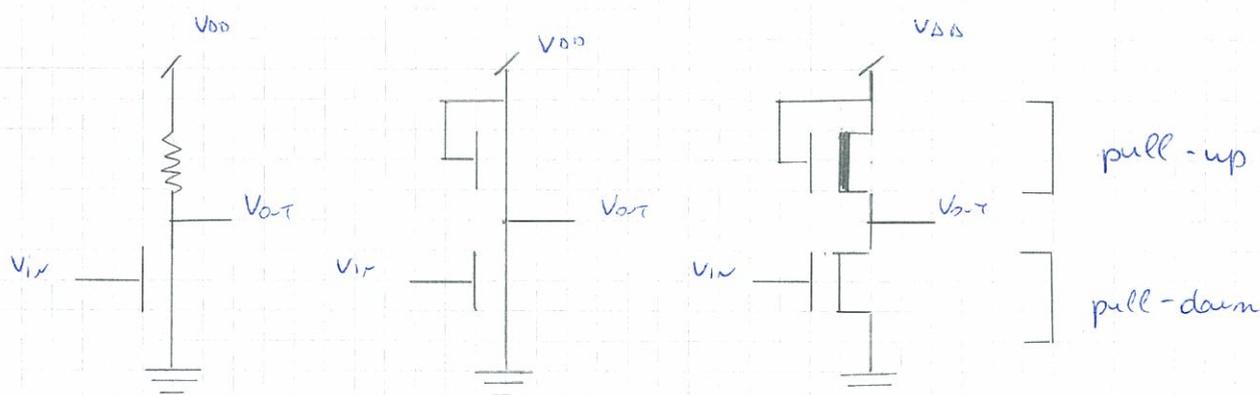
Anche questa è una logica a rapporto. Si ricavano il guadagno voltaggio che dipende dal rapporto fra i β

Abbiamo sempre un problema di dispositivi che non possono essere dimensionati a dimensioni minime.

Nelle ultime 2 logiche visto per abbiamo risolto il problema del V_{th} alt.

Il problema è che in tutti questi circuiti il valore basso di uscita è ottenuto con $M1$ e $M2$ entrambi accesi. Ma se sono accesi passa corrente, quindi abbiamo consumo di potenza. Questo non accade al valore di uscita alto perché uno dei due transistori è spento.

Logiche con p-nos

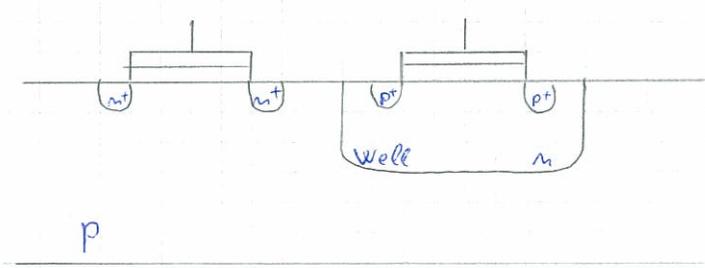


La parte alta è detta di pull-up, perché permette di fare andare alta l'uscita. La bassa è detta pull-down. Abbiamo detto che quando questi dispositivi sono accesi sono accesi sia i pull-up sia i pull-down. Per cui il circuito dissipa potenza. Questo invece l'uscita è bassa questi circuiti non dissipano potenza, perché quando l'ingresso è basso il pull-up è chiuso, ma il pull-down è aperto e quindi non può circolare corrente. Quindi c'è dissipazione di potenza in un caso. Ma in un caso che il circuito dissipi poco, perché non posso mettere i circuiti all'interno dello stesso chip. E il circuito dissipa solo quel che deve essere dissipato. Ma il chip ha dimensioni limitate. Se non riesco a dissipare tutto il calore il chip si surriscalda e non funziona più niente. Inoltre sono poi ovviamente questioni di risparmio energetico.

L'altro problema dei logica nti circuiti è che il punto è basso il valore basso dell'uscita dipende dal dimensionamento dei transistori e dal β_n del pull-up e del pull-down. Questo significa non riesco a fare transistori di dimensioni minime. Ho dei problemi di occupazione di area.

Finora però abbiamo ragionato solo con n-nos. Ma abbiamo anche p-nos. Per avere dobbiamo avere un substrato di tipo p. Ma poi avere un n-nos mi serve un substrato di tipo p. Per avere sia p-nos sia n-nos si droga il silicio p, poi si fa una tavola drogata n.

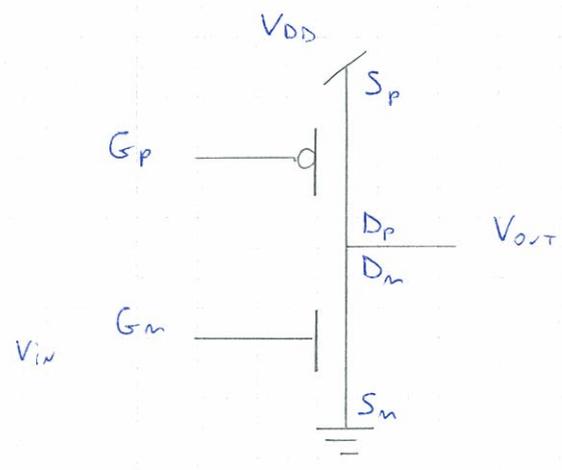
All'interno della Tassa realizzati i transistori p-nor, all'esterno gli n-nor.



I primi circuiti contenevano solo n-nor. Non si riusciva infatti a realizzare p-nor con soglia negativa.

Posiamo usare un p-nor per realizzare un pull-up.

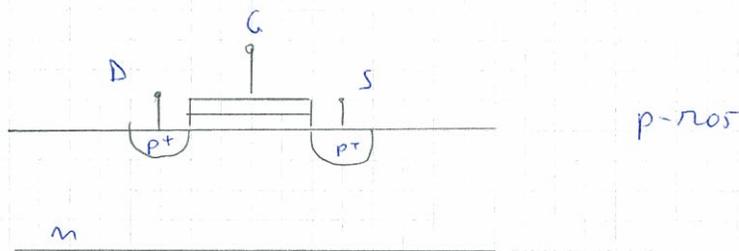
Nel p-nor $V_{GS} \rightarrow V_{SG}$ ecc. Per il resto le eq. rimangono identiche.



$$V_{SG} > |V_{TP}|$$

V_{TP} = tensione di soglia del MOS p, che sarebbe minore di zero, ma può scrivere così se usi il modulo.

Rivediamo un'ultima le eq. del p-nos.



Affinché il p-nos sia acceso deve essere

$$V_{GS} < -|V_{TP}|$$

$$-V_{GS} > |V_{TP}|$$

$$V_{SG} > |V_{TP}|$$

Devo allontanare gli elettroni dall'interfaccia e avvicinare le lacune.
Le eq. sono identiche rispetto a quelle degli n-nos ma invertiti i
pedici delle tensioni.

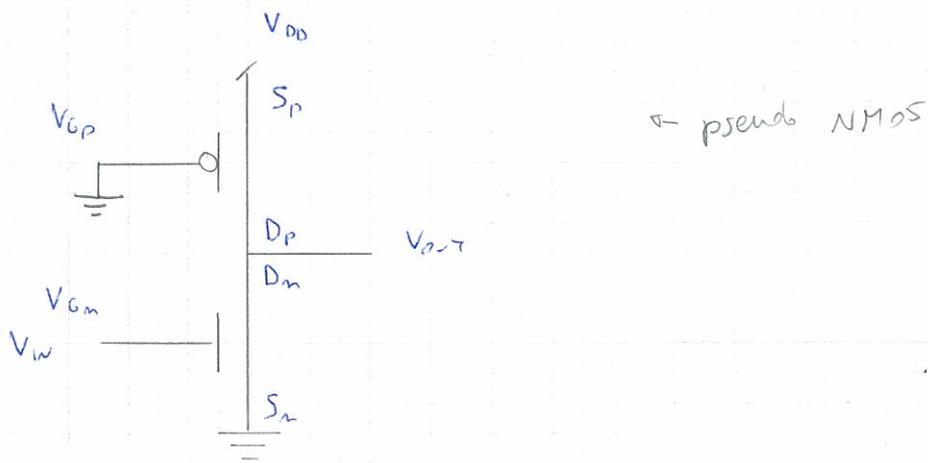
$$I_{SD\ SATP} = \frac{\beta_p}{2} (V_{SG} - |V_{TP}|)^2$$

$$I_{SD\ LINP} = \beta_p \left[(V_{SG} - |V_{TP}|) V_{SD} - \frac{V_{SD}^2}{2} \right]$$

Attenzione:

Spesso negli esercizi viene detto $V_{TN} = |V_{TP}| = V_T$

Riprendiamo il disegno che stavamo facendo.



Vogliamo il transistore V_{p-nos} acceso.

$$V_{SG} > |V_{TP}|$$

$$V_{DD} - V_{GP} > |V_{TP}|$$

$$V_{GP} < V_{DD} - |V_{TP}|$$

Metto la tensione di ingresso al p-nos arbitraria e nella casella sono sicuro che il p-nos sia acceso.

PMOS SAT

$$V_{SD} > V_{SG} - |V_{TP}|$$

$$V_{DD} - V_{OUT} > V_{DD} - 0 - |V_{TP}|$$

$$V_{OUT} < |V_{TP}|$$

Non è assurdo pensare $V_{OUT} > |V_{TP}|$ (p-nos LIR). E' ipotizzabile in lineare

Hp: PMOS LIR quando $V_{IN} = V_L \Rightarrow$ nMOS OFF

$$I_{SD} = \beta_p \left[(V_{SG} - |V_{TP}|) V_{SD} - \frac{V_{SD}^2}{2} \right]$$

In condizioni stazionarie questa corrente sarà nulla, perché l'inverter è spento (però anche una volta pensavo una corrente connessa in uscita).

$$I_{SD} = 0$$

$$\beta_p V_{SD} \left[V_{SG} - |V_{TP}| - \frac{V_{SD}}{2} \right] = 0$$

$= 0$ $= 0$ assunto (ci abbiamo dimostrato in passato)

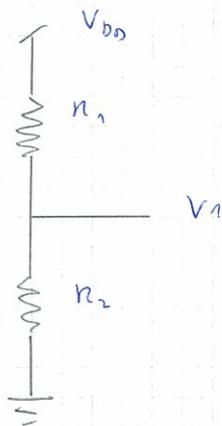
L'unica soluzione accettabile è

$$V_{SD} = 0 \Rightarrow$$

$$V_{DD} - V_u = 0$$

$$V_u = V_{DD}$$

Quando invece l'ingresso è alto l'inverter è acceso e l'uscita è bassa. Ragioniamo intuitivamente:



Se volessi una V_1 bassa dovrei mettere una R_1 più grande di R_2 , così che su R_1 si abbia una grande caduta di tensione. Nel nostro caso in prima approssimazione però vedere i miei voti come delle resistenze (e un valore di resistenza dipende dai β_n). Quindi per avere una V_{out} bassa devo lavorare con il rapporto dei β_n .

Vediamolo anche analiticamente.

n MOS access per

$$V_{GS} > V_{TN}$$

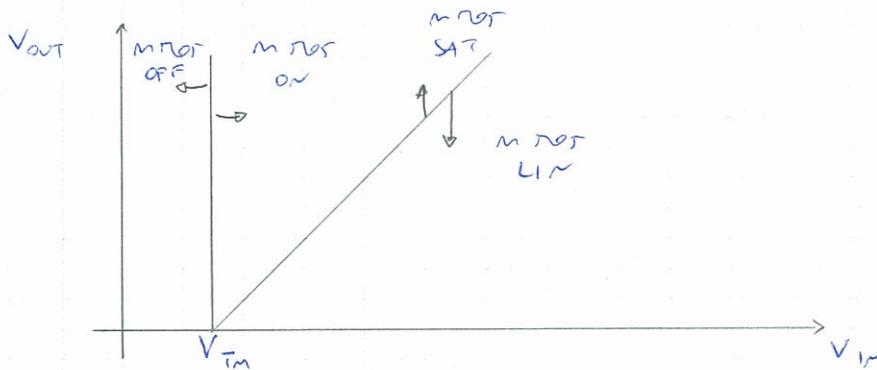
$$V_{GS} = V_{IN}$$

$$V_{IN} > V_{TN}$$

n MOS SAT

$$V_{DS} > V_{GS} - V_{TN}$$

$$V_{OUT} > V_{IN} - V_{TN}$$



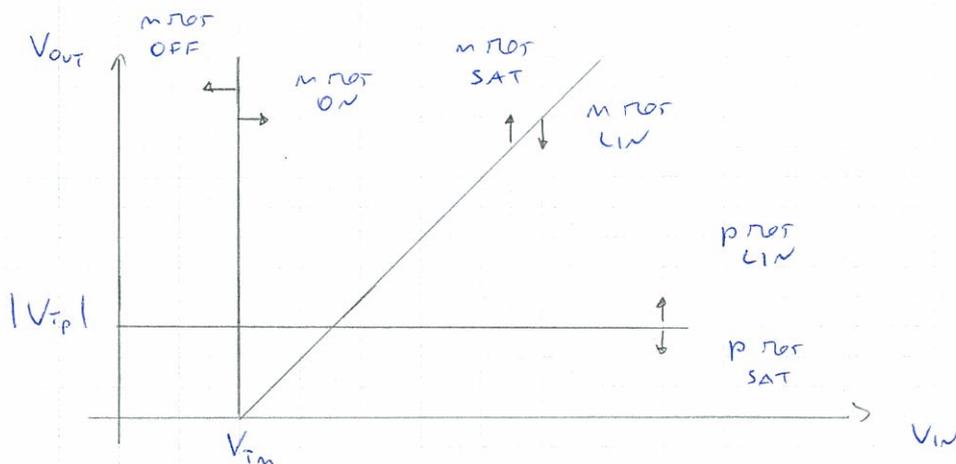
Ragioniamo ora sul pMOS: avendo collegato il gate a massa il pMOS è sicuramente sempre acceso.

pMOS SAT

$$V_{SDP} > V_{SGP} - |V_{TP}|$$

$$V_{DD} - V_{OUT} > V_{DD} - |V_{TP}|$$

$$V_{OUT} < |V_{TP}|$$



NMOS SAT PMOS LIN

$$\frac{\beta_n}{2} (V_{GS_n} - V_{TN})^2 = \beta_p \left[(V_{SG_p} - |V_{TP}|) V_{SD_p} - \frac{V_{SD_p}^2}{2} \right]$$

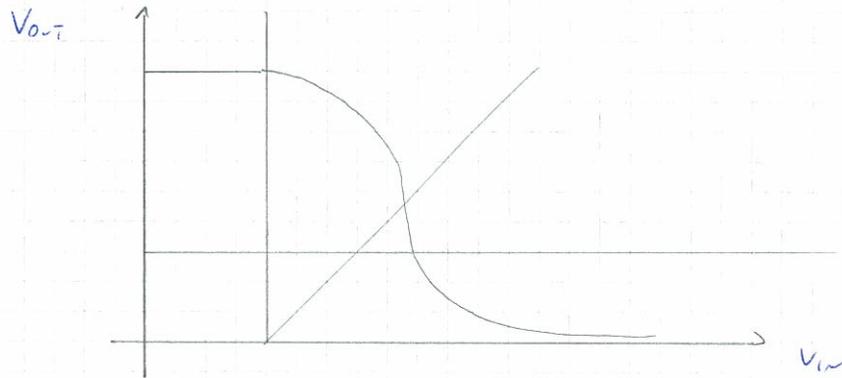
$$\frac{\beta_n}{2} (V_i - V_{TN})^2 = \beta_p \left[(V_{DD} - 0 - |V_{TP}|)(V_{DD} - V_{OUT}) - \frac{(V_{DD} - V_{OUT})^2}{2} \right]$$

Ved che se vuoi a calcolare il guadagno avo' sempre un $\frac{\beta_n}{\beta_p}$ Anon

ma vola lo ma Epia a rapporto.

Stessa cosa e ved se vuoi nelle altre regioni della caratteristica.

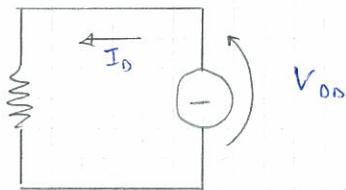
Otengo una cosa del genere:



Alla fine scopriamo che abbiamo gli stessi problemi di prima. Abbiamo sempre una Epia a rapporto, ^{ancora problemi di ingombri} inoltre abbiamo sempre sia pull-up sia pull-up accor quindi, l'uscita e bassa e l'ingresso e' alto & ok

— o — o — o —

Inizio: come faccio a capire se la dissipazione di potenza? Immaginiamo di avere una resistenza connessa a un generatore di tensione.



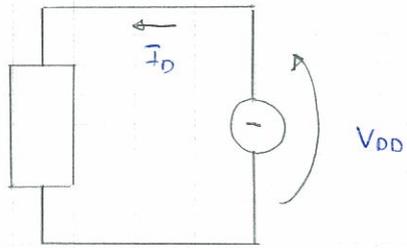
$$P = V_{DD} \cdot I_D$$

$$V_{DD} = R I_D$$

$$P = R I_D^2$$

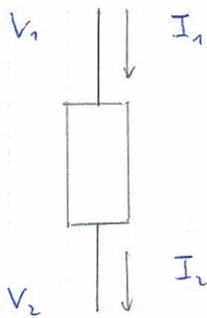
Per il principio di conservazione dell'energia queste potenze devono essere uguali.

Supponiamo ora al posto della resistenza di avere un generico utilizzatore.



$$P = V_{DD} \cdot I_D$$

In termini un po' più generali:

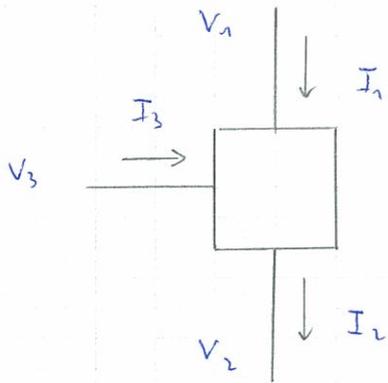


$$P = V_1 I_1 - V_2 I_2$$

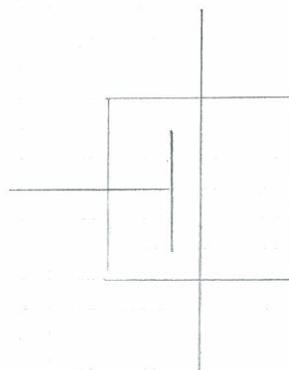
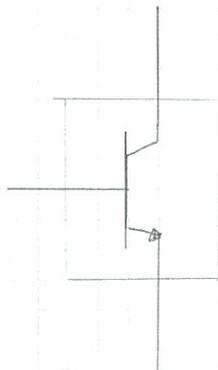
$I_1 = I_2$ per la legge di Kirchhoff se non questo come un nodo.

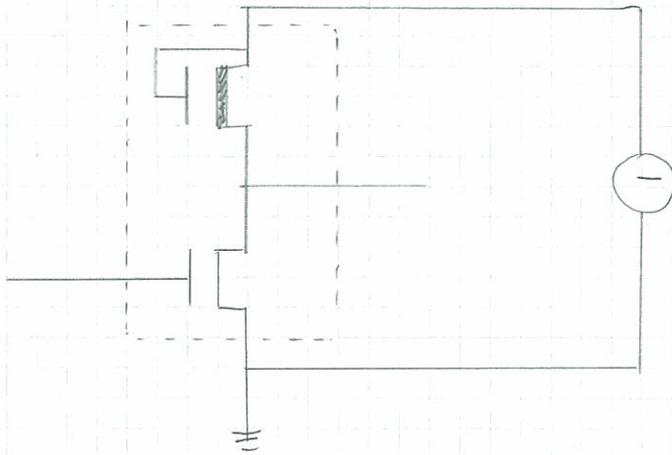
$$P = I_1 (V_1 - V_2)$$

Se ho una sottile rete con 3 morsetti:

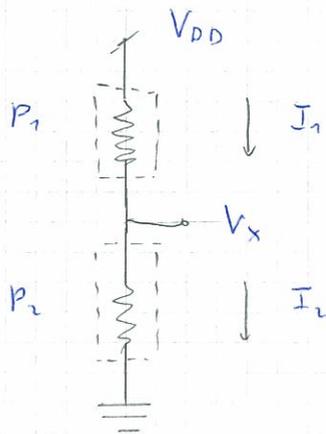


$$P = V_1 I_1 - V_2 I_2 + V_3 I_3$$





Se non c'è corrente in uscita non viene richiesta potenza da dissipare al generatore.



$$I_1 = I_2$$

$$P = V_{DD} I_1$$

$$P = P_1 + P_2 = (V_{DD} - V_x) I_1 + V_x I_2$$

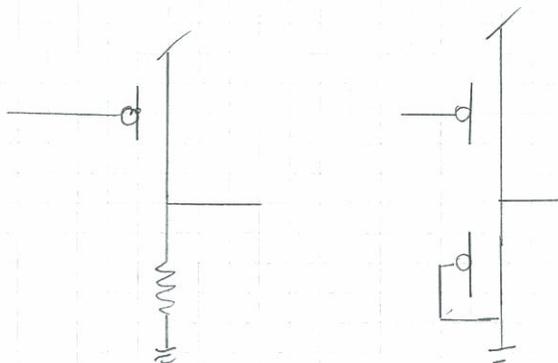
Vedo che a volte per calcolare la potenza dissipata mi conviene immaginare di avere due blocchetti separati. Altre volte mi conviene pensare ad un generatore come sopra.

— o — o — o —

Vedo che la situazione che mi piacerebbe ripetere è quella dell'ingresso basso, perché lì il pull-down è spento e quindi non ho dissipazione di energia.

Posso pensare di avere un'uscita bassa con il pull-up spento?

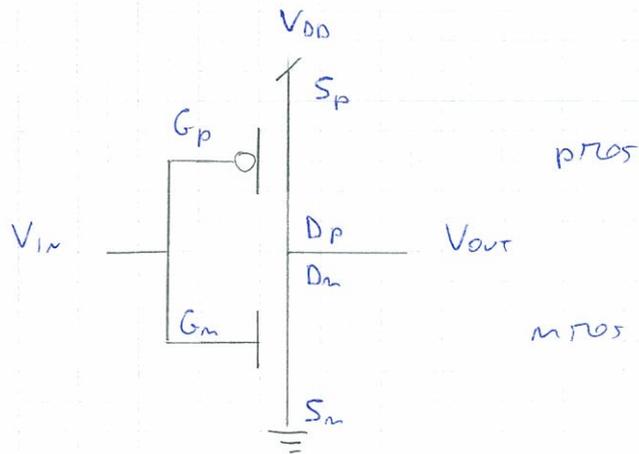
Posso rivedere i circuiti visti in modo duale:



Ora va tutto bene quando l'uscita è alta ma ora lo sia pull-up sia pull-down accesi quando l'uscita alta.

CMOS

Potiamo ora a dare sempre un p-mos e un n-mos ma a comandarli con la stessa tensione di ingresso V_{in} .



$$V_{in} < V_{Tn} \Rightarrow \text{nMOS OFF}$$

pMOS ON se

$$V_{SGP} > |V_{TP}|$$

$$V_{DD} - V_{in} > |V_{TP}|$$

$$V_{in} < V_{DD} - |V_{TP}|$$

Supponiamo di metterci sulla soglia dell'accensione dell'n-mos

$$V_{in} = V_{Tn}$$

pMOS soglia ON se

$$V_{in} = V_{DD} - |V_{TP}|$$

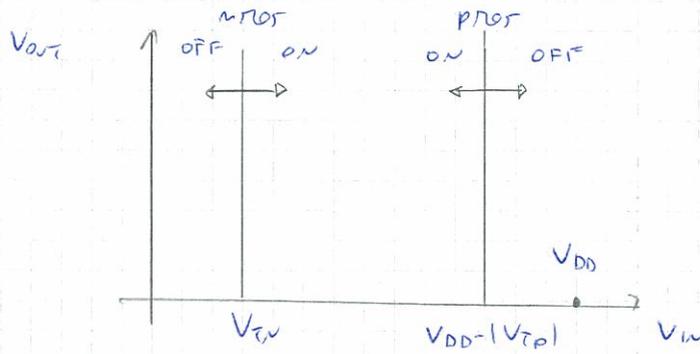
$$V_{Tn} = V_{DD} - |V_{TP}|$$

pMOS ON se

$$V_{Tn} < V_{DD} - |V_{TP}|$$

$$V_{DD} > V_{Tn} + |V_{TP}|$$

Se riesco ad avere $V_{in} < V_{TN}$ mantenendo il vincolo $V_{DD} > V_{TN} + |V_{TP}|$ allora il PMOS è acceso e l'n-mos è spento.



$$V_{DD} > V_{TN} + |V_{TP}|$$

→ deve essere soddisfatto.

NMOS SAT se

PMOS SAT se

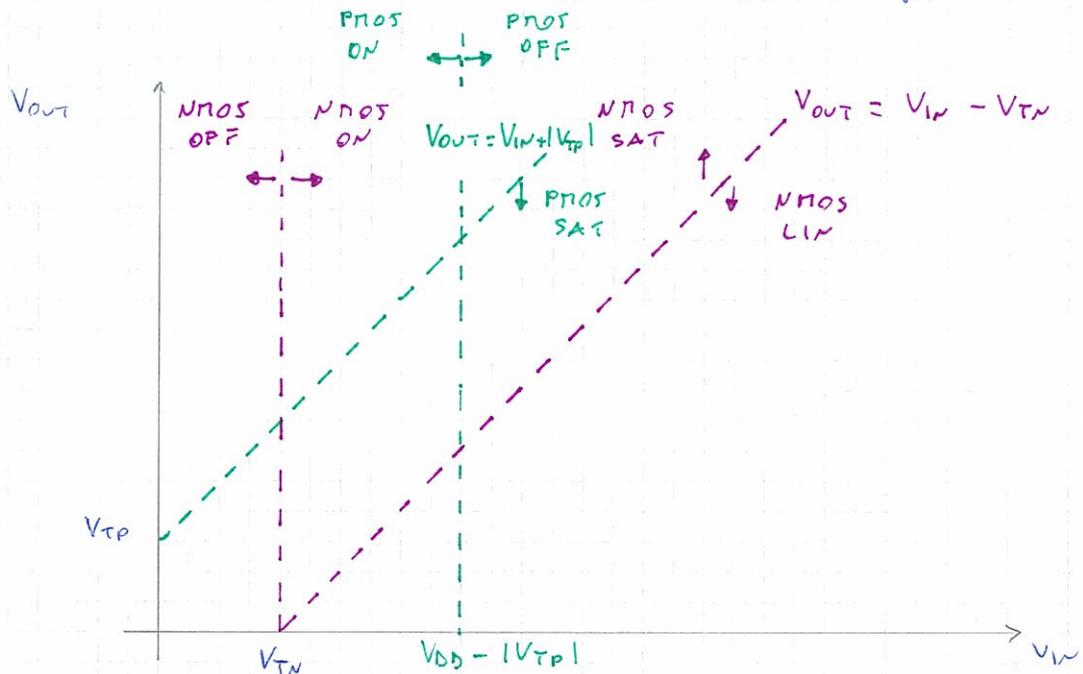
$$V_{DS} > V_{GS} - V_{TN}$$

$$V_{SD} > V_{SG} - |V_{TP}|$$

$$V_{out} > V_{in} - V_{TN}$$

$$V_{DD} - V_{out} > V_{DD} - V_{in} - |V_{TP}|$$

$$V_{out} < V_{in} + |V_{TP}|$$



I) $V_{in} < V_{TN}$

NMOS OFF

PMOS LIN (Rò un ingresso basso, mi aspetto un'uscita alta)

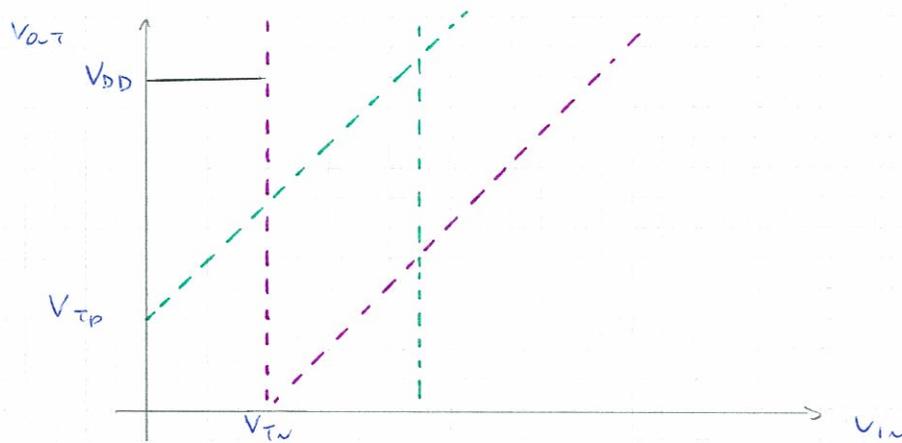
$$I_{SD} = \beta_p \left[(V_{SG} - |V_{TP}|) V_{SD} - \frac{V_{SD}^2}{2} \right] = 0 \Rightarrow \text{unica soluz. } V_{SD} = 0$$

$$V_{SD} = 0$$

$$V_{DD} - V_{GS_P} = 0$$

$$V_{OUT} = V_{DD}$$

$$V_{OUT} > V_{IN} + |V_{TP}|$$



$$\text{II) } V_{IN} > V_{TN}$$

$$P_{MOS} \quad L_{IN}$$

$$N_{MOS} \quad SAT$$

$$I_{DP} = I_{DN}$$

$$\beta_P \left[(V_{SG_P} - |V_{TP}|) V_{SD_P} - \frac{V_{SD_P}^2}{2} \right] = \frac{\beta_n}{2} (V_{GS_n} - V_{TN})^2$$

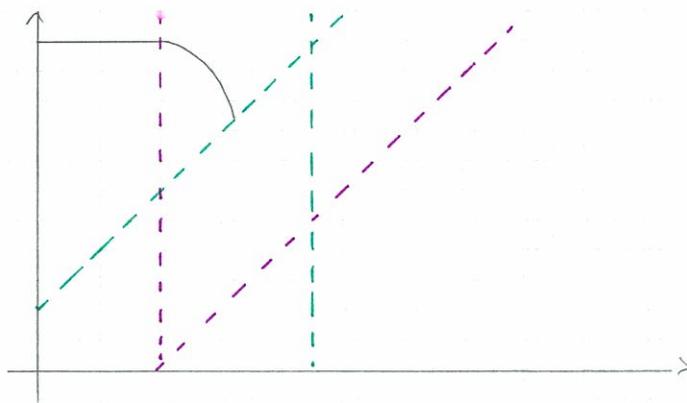
$$V_{GS_n} = V_{IN}$$

$$V_{SG_P} = V_{DD} - V_{IN}$$

$$V_{SD_P} = V_{DD} - V_{OUT}$$

$$\beta_P \left[(V_{DD} - V_{IN} - |V_{TP}|) (V_{DD} - V_{OUT}) - \frac{(V_{DD} - V_{OUT})^2}{2} \right] = \frac{\beta_n}{2} (V_{IN} - V_{TN})^2$$

Svolgendo i calcoli otteniamo l'eq. di un arco di parabola con concavità rivolta verso il basso.



III)

PMOS SAT

NMOS SAT

$$I_{Dn} = I_{Dp}$$

$$V_{GSn} = V_{in}$$

$$V_{SGp} = V_{DD} - V_{in}$$

$$\frac{\beta_n}{2} (V_{GSn} - V_{TN})^2 = \frac{\beta_p}{2} (V_{SGp} - |V_{TP}|)^2$$

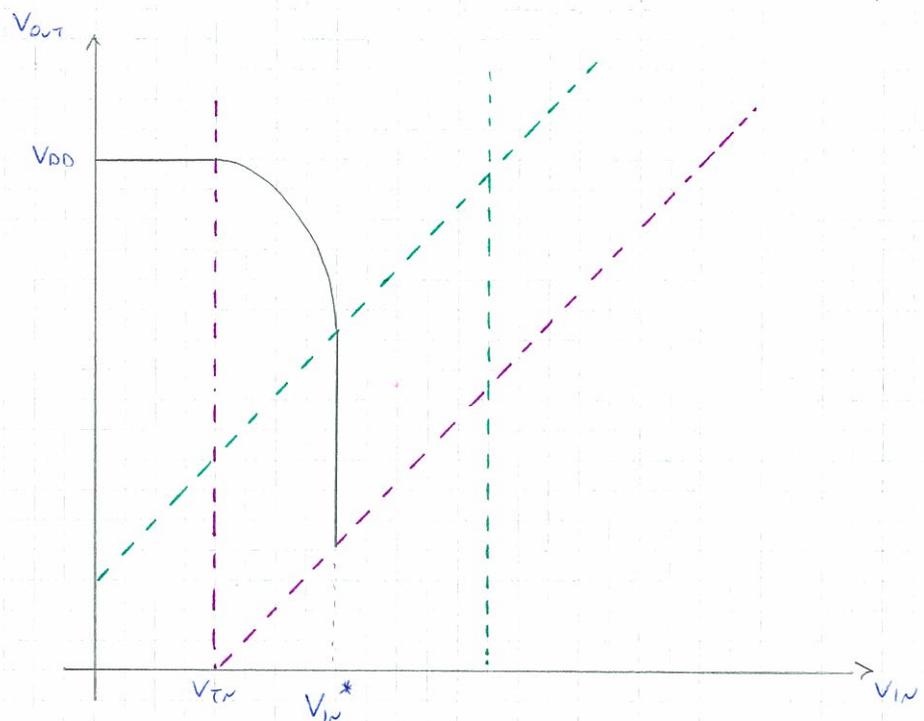
$$\frac{\beta_n}{2} (V_{in} - V_{TN})^2 = \frac{\beta_p}{2} (V_{DD} - V_{in} - |V_{TP}|)^2$$

$$V_{in} - V_{TN} = \sqrt{\frac{\beta_p}{\beta_n}} (V_{DD} - V_{in} - |V_{TP}|)$$

$$V_{in} \left(1 + \sqrt{\frac{\beta_p}{\beta_n}} \right) = V_{TN} + \sqrt{\frac{\beta_p}{\beta_n}} (V_{DD} - |V_{TP}|)$$

$$V_{in} = \frac{V_{TN} + \sqrt{\frac{\beta_p}{\beta_n}} (V_{DD} - |V_{TP}|)}{1 + \sqrt{\frac{\beta_p}{\beta_n}}} = V_{in}^*$$

V_{in} non dipende da V_{out} . Sul grafico è una retta verticale. Chiamiamo questa valore di V_{in} " V_{in}^* ".



$$\text{IV) } V_{in}^* < V_{in} < V_{DD} - |V_{TP}|$$

NMOS LIN

PMOS SAT

$$\beta_n \left[\underset{\parallel V_{in}}{(V_{GS_n} - V_{TN})} \underset{\parallel V_{out}}{V_{DS_n}} - \frac{V_{DS_n}^2}{2} \right] = \frac{\beta_p}{2} (V_{SG_p} - |V_{TP}|)^2$$

Sostituendo e svolgendo i calcoli ottengo una parabola con concavità verso l'alto.

Prima di disegnare vediamo cosa succede nella regione successiva.

$$\text{V) } V_{in} > V_{DD} - |V_{TP}|$$

PMOS OFF

NMOS LIN

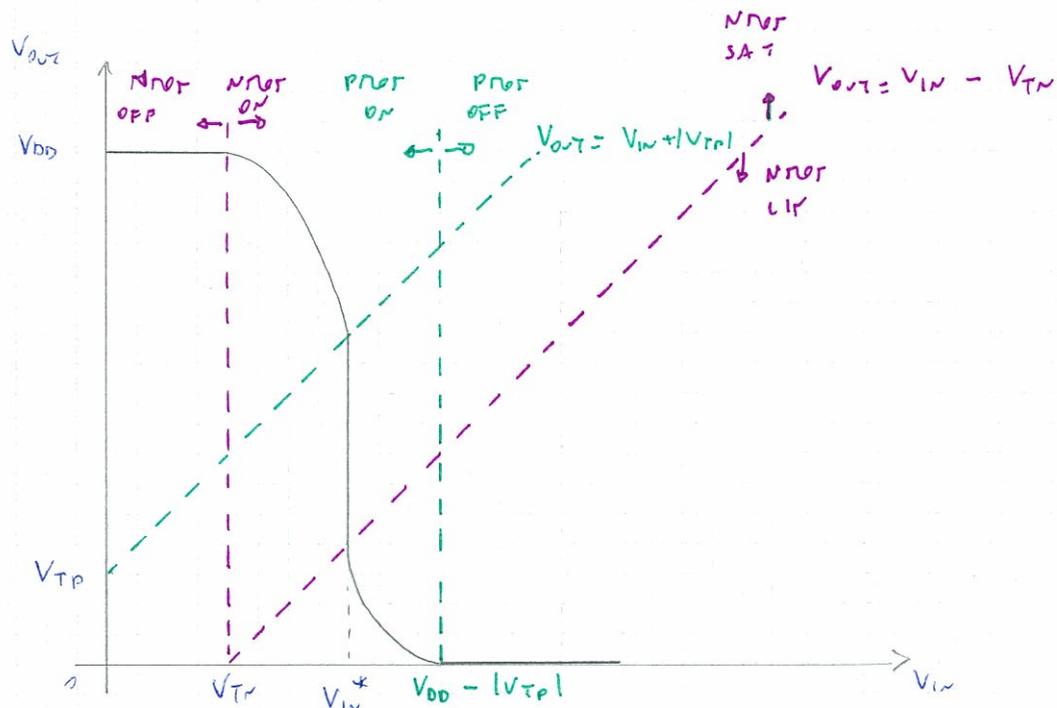
$$I_{DTP} = I_{DSN} \quad \Leftrightarrow \quad I_{DTP} = 0$$

$$\beta_n \left[(V_{GS_n} - V_{TN}) V_{DS_n} - \frac{V_{DS_n}^2}{2} \right] = 0$$

Unica sol. accettabile

$$V_{DS_n} = 0$$

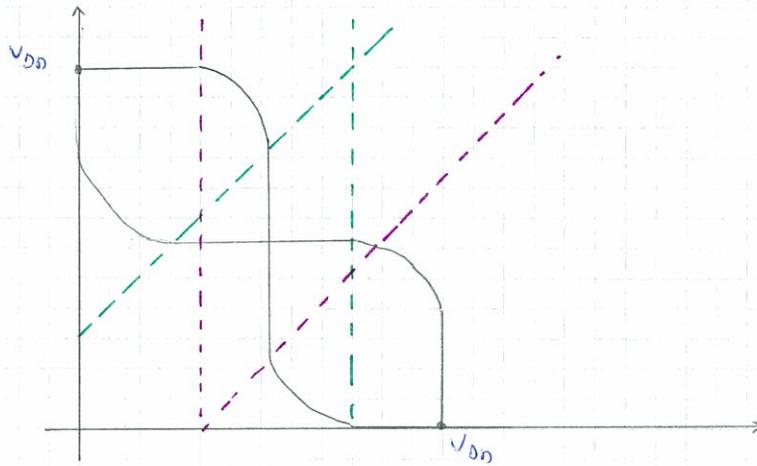
$$\text{Per } V_{DS_n} = V_{out} \Rightarrow V_{out} = 0$$



Ho ottenuto guadagno > 1 nella regione centrale, tensione di uscita bassa (stabilità nulla) con dissipazione nulla. Per vol dire che il circuito

non dissipa mai? No. Il circuito dissipa durante le transizioni alto-basso e basso-alto. Ma in condizioni stazionarie la dissipazione è nulla.

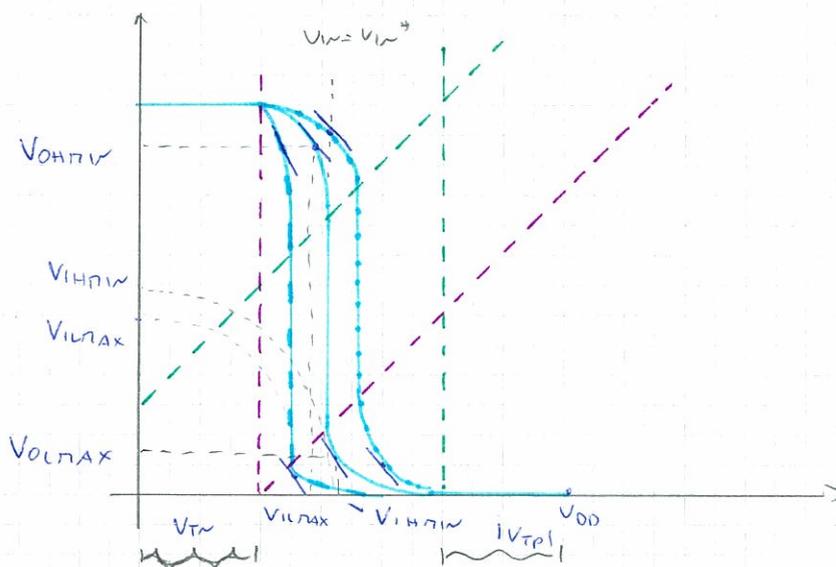
I valori logici alto e basso sono V_{DD} e 0. Per trovare i valori ristretti e caratteristici e trovare le intersezioni.



Non è una logica a rapporto: la pendenza del tratto è sempre infinita, non dipende dal rapporto $\frac{P_n}{P_p}$.

LOGICA NON A RAPPORTO: RATIOLESS

Mi chiedo qual è il valore migliore di V_{in}^* da assegnare in fase di progetto. Cosa cambia al variare di V_{in}^*



Varia il margine di immunità ai disturbi.

$$NM_H = V_{OH_{min}} - V_{IH_{min}}$$

$$NM_L = V_{IL_{max}} - V_{OL_{max}}$$

Se spostato la caratteristica a sinistra sto abbassando il $V_{OH_{min}}$ e il $V_{IH_{min}}$.
Quindi sto andando a toccare il NM_H , ma anche il NM_L , perché sto
anche abbassando il $V_{IL_{max}}$. Se aumento una diminuisce l'altro.

Perché NM è uguale al minimo dei due (situazione ideale) e quella
di simmetria per cui $NM_H = NM_L$. Voglio avere una caratteristica
perfettamente simmetrica. Voglio quindi $|V_{TP}| = V_{TN}$, per cui

$$|V_{TP}| = V_{TN}$$

Voglio inoltre che V_{IN}^* cada in $V_{DD}/2$

$$V_{IN} = \frac{V_{TN} + \sqrt{\frac{\beta_p}{\beta_n}} (V_{DD} - |V_{TP}|)}{1 + \sqrt{\frac{\beta_p}{\beta_n}}}$$

$$\beta_n = \beta_p$$

$$V_{TN} = |V_{TP}|$$

$$V_{IN}^* = \frac{V_{DD}}{2}$$

In questo modo la caratteristica è perfettamente simmetrica.

Imporre $\beta_n = \beta_p$ significa avere transistori di dimensioni minime? No, perché:

$$\beta_n = C_{ox} \mu_n \frac{W_n}{L_n}$$

$$\beta_p = C_{ox} \mu_p \frac{W_p}{L_p}$$

$$\text{Voglio } \beta_n = \beta_p$$

μ_n e μ_p sono uguali? La mobilità degli elettroni è maggiore di
quella delle buche

$$\mu_n \approx 2,5 \mu_p$$

$$C_{ox} \mu_n \frac{W_n}{L_n} = C_{ox} \mu_p \frac{W_p}{L_p}$$

da a. (dipende dalla tecnologia)
 \downarrow
 $\mu_n = 2 \div 2,5 \mu_p$
 $\mu_n = 2 \mu_p$

$$2 \mu_p \frac{W_n}{L_n} = \mu_p \frac{W_p}{L_p}$$

Supponiamo di tenere le lunghezze al minimo consentito dalla tecnologia

$$L_n = L_p = L_{min}$$

otteniamo

$$2 W_n = W_p$$

Dobbiamo fare i transistori n larghi il doppio rispetto ai p.

In parole parole sto compensando la diversa mobilità facendo una resistenza di canale più piccola: più W_p è grande più la resistenza di canale è piccola.

$$R = \rho \frac{L}{S} = \rho \frac{L_{min}}{W \cdot t_{canale}}$$

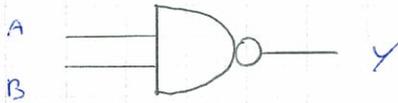
Il MOS in questa configurazione si chiama CMOS (Complementary MOS)

Abbiamo messo insieme le peculiarità migliori delle caratteristiche viste.

In precedenza le tecnologie viste fin qui sono comunque state usate storicamente, anche perché tecnologicamente non si riusciva a fare PMOS con tensione di soglia negativa.

Ma fino ad ora abbiamo fatto solo invertitori. Ma a noi servono anche AND, OR, oppure NAND e NOR. Ma poi ci servono anche degli elementi di memoria, che sono i flip-flop.

NAND



A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

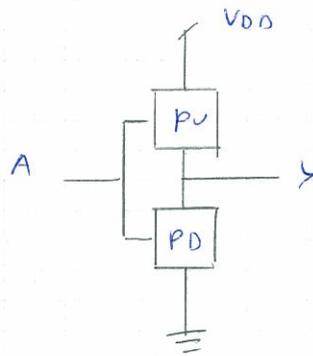
Per l'inverter

$$A = V_{in}$$

$$Y = V_{out}$$

$$Y = 0 \quad A = 1$$

$$Y = 1 \quad A = 0$$



PU = Pull-Up

PD = Pull-Down

Per il NAND

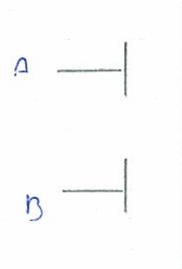
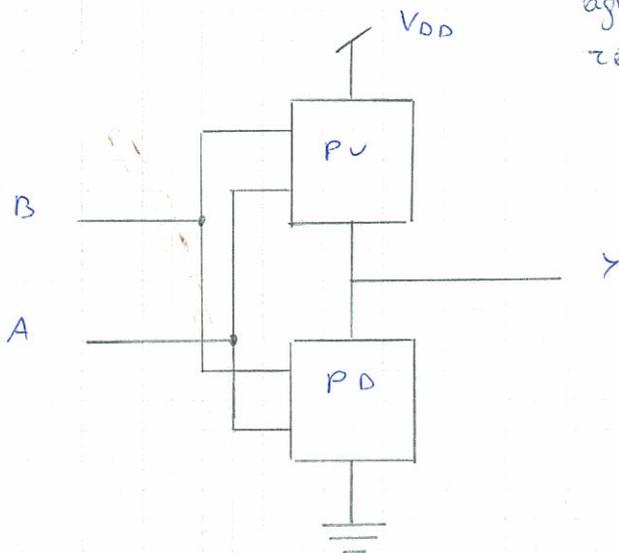
$$Y = 0 \quad A = 1 \quad \text{e} \quad B = 1$$

$$Y = 1 \quad A = 0 \quad \text{o} \quad B = 0$$

← La rete di PD deve essere attiva

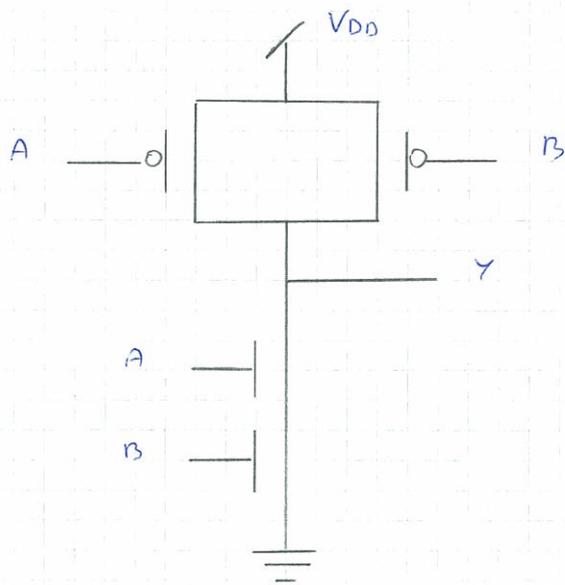
agisce sulla rete di PU

⇓
prop in parallel



prop in serie:

Esista che uno dei due sia spento che l'uscita va a zero.

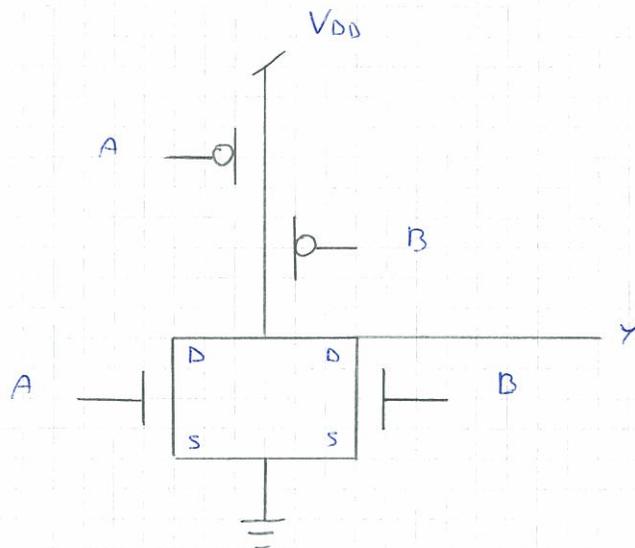


NOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Y = 0 A = 1 B = 1
 PD

Y = 1 A = 0 B = 0
 PV



Funzioni piu' complesse

$$Y = \overline{AB + C}$$

Posso applicare De Morgan e ricavare un'espressione con NAND, non oppure dire

$$Y = 0 \quad \text{se} \quad AB + C = 1$$

$$\text{PD} \quad \underbrace{A = 1 \quad \text{e} \quad B = 1 \quad \text{o} \quad C = 1}$$

2 NROS in serie

in parallelo a un'altro.

$$Y = 1$$

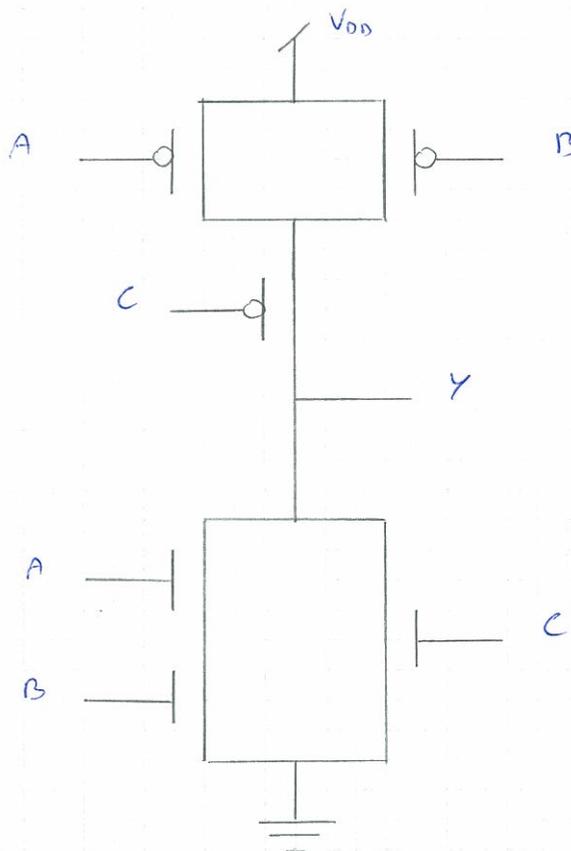
PU

$$AB + C = 0$$

$$\underbrace{A = 0 \quad \text{o} \quad B = 0 \quad \text{e} \quad C = 0}$$

PNOS in parallelo

in serie



Totale: 6 MOS

FCMOS = Full CMOS = reti che permettono di fare funzioni:

piu' complesse - Complementare sia topologicamente

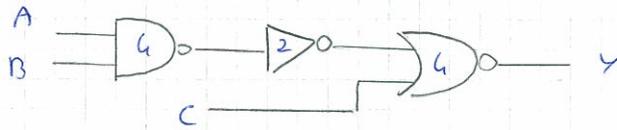
o (PU complementare PD) sia tecnologicamente

(PNOS compl. NMOS)

parallelo - serie
e viceversa

Se avessimo dovuto realizzare il tutto con NAND, NOR, NOT

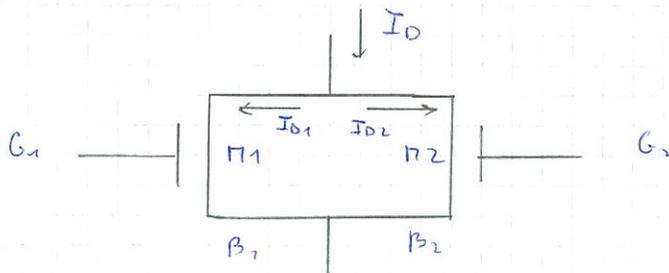
$$Y = \overline{AB + C} = \overline{\overline{\overline{A \cdot B}} + C}$$



Totale: 10 MOS

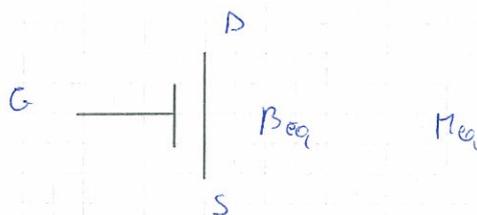
Mi servono più MOS e inoltre ho più livelli: il segnale ci mette più tempo a passare.

MOS in parallelo



$$\begin{aligned} V_{DS1} &= V_{DS2} \\ V_{GS1} &= V_{GS2} \\ I_D &= I_{D1} + I_{D2} \\ V_{T1} &= V_{T2} \end{aligned}$$

Dati due MOS aventi ~~diff~~ in Source e drain in comune e stessa tensione di gate (come due MOS in parallelo) cerchiamo di trovare un MOS equivalente. Supponiamo poi che i due MOS abbiano la stessa tensione di soglia (perché parte dello stesso processo produttivo e' ragionevole).



Se un MOS e' in LIN (SAT) e' anche l'altro. Supponiamo MOS LIN

$$I_{D1} = \beta_1 \left[(V_{GS1} - V_T) V_{DS1} - \frac{V_{DS1}^2}{2} \right]$$

$$I_{D2} = \beta_2 \left[(V_{GS2} - V_T) V_{DS2} - \frac{V_{DS2}^2}{2} \right]$$

$$I_D = I_{D1} + I_{D2} = (\beta_1 + \beta_2) \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Il resistor equivalente avrà una

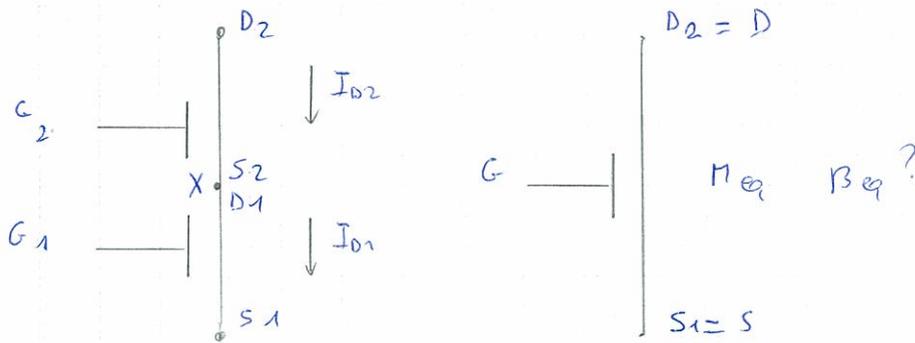
$$\beta_{eq} = \beta_1 + \beta_2$$

Analogaente se ho 3 resistor in parallelo il β_{eq} sarà la somma dei 3 β .
Avevo ottenuto lo stesso identico risultato se avevo apposto i resistor SAT.

Lo stesso discorso vale per i MOS in parallelo.

NB: se ho un MOS in parallelo a un MOS non posso trovare un resistor equivalente.

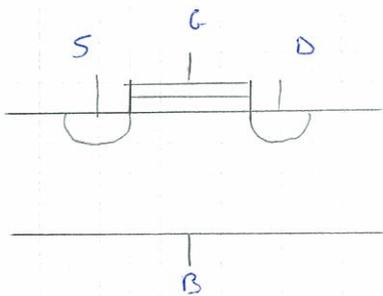
MOS in serie



$$V_{G1} = V_{G2} = V_G$$

$$V_{T1} = V_{T2} = V_T$$

tecnicamente un MOS è fatto così:



Moi potremmo contattare il bulk e riferire tutte le tensioni ad esso.

$$V_{GS} = V_G - V_S + V_B - V_B = (V_G - V_B) - (V_S - V_B) = V_{GB} - V_{SB}$$

$$V_{GD} = V_D - V_S + V_B - V_B = (V_D - V_B) - (V_S - V_B) = V_{DB} - V_{SB}$$

Consideriamo un generico MOS in linear

$$I_D = \beta \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] =$$

$$= \beta \left[(V_{GB} - V_{SB} - V_T) (V_{DB} - V_{SB}) - \frac{1}{2} (V_{DB} - V_{SB})^2 \right] =$$

$$= \beta \left[(V_{GB} - V_T) V_{DB} - \cancel{V_{DB} V_{SB}} - (V_{GB} - V_T) V_{SB} + V_{SB}^2 + \right.$$

$$\left. - \frac{1}{2} V_{DB}^2 - \frac{1}{2} V_{SB}^2 + \cancel{V_{DB} V_{SB}} \right] =$$

$$= \beta \left\{ \left[(V_{GB} - V_T) V_{DB} - \frac{1}{2} V_{DB}^2 \right] - \left[(V_{GB} - V_T) V_{SB} - \frac{1}{2} V_{SB}^2 \right] \right\} =$$

$$f(V_{GB}, V_{DB})$$

$$f(V_{GB}, V_{SB})$$

Assomigliano a I_D ma riferite al bulk

$$= \beta \left[f(V_{GB}, V_{DB}) - f(V_{GB}, V_{SB}) \right]$$

è una relazione generale, che vale anche quando il MOS è saturato (perché la saturazione è un caso particolare di linearità).

Ora applichiamo quanto ricavato al caso dei due MOS in serie.

$$I_{D1} = I_{D2}$$

$$I_{D1} = \beta_1 \left[f(V_{GB1}, V_{DB1}) - f(V_{GB1}, V_{SB1}) \right] =$$

$$= \beta_1 \left[\overbrace{f(V_{GB}, V_{DB})}^A - \overbrace{f(V_{GB}, V_{SB})}^X \right] = \beta_1 (A - X)$$

La tensione di bulk è comune per tutti i transistori

$$I_{D2} = \beta_2 \left[f(V_{GB2}, V_{DB2}) - f(V_{GB2}, V_{SB2}) \right] =$$

$$= \beta_2 \left[\overbrace{f(V_{GB}, V_{DB})}^Y - \overbrace{f(V_{GB}, V_{SB})}^A \right] = \beta_2 (Y - A)$$

$$I_{D1} = I_{D2}$$

$$\beta_1 (A - X) = \beta_2 (Y - A)$$

$$\beta_1 A - \beta_1 X = \beta_2 Y - \beta_2 A$$

$$A(\beta_1 + \beta_2) = \beta_1 X + \beta_2 Y$$

$$A = \frac{\beta_1 X + \beta_2 Y}{\beta_1 + \beta_2}$$

$$I_D = I_{D1} = I_{D2} = \beta_1 (A - X) = \beta_1 \left(\frac{\beta_1 X + \beta_2 Y}{\beta_1 + \beta_2} - X \right) =$$

$$= \beta_1 \left(\frac{\beta_1 X + \beta_2 Y - \beta_1 X - \beta_2 X}{\beta_1 + \beta_2} \right) = \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} (Y - X) =$$

$$= \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} \left[f(V_{GS}, V_{DS}) - f(V_{GS}, V_{SS}) \right]$$

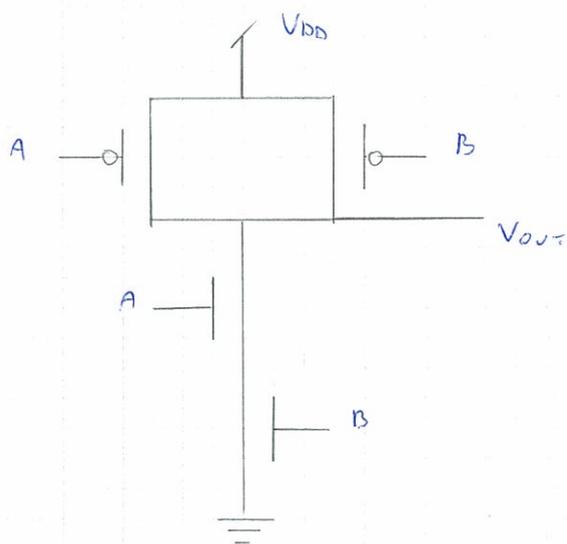
Ma questa non è altro che l'espressione della corrente generica di un MOS.

Usa l'espressione della corrente nel nostro MOS equivalente. Quindi

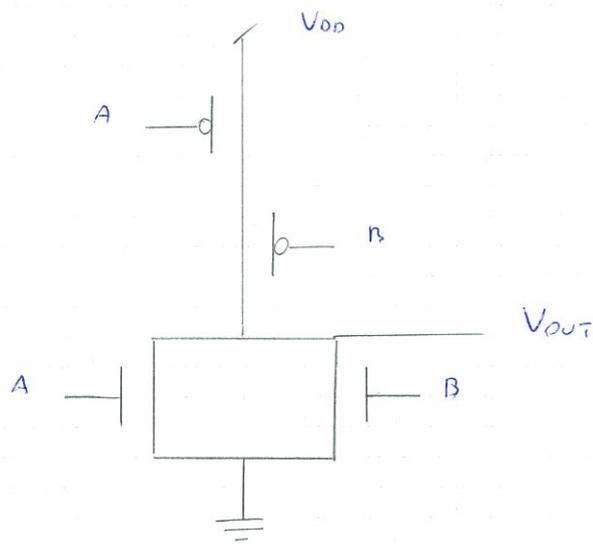
$$\frac{1}{\beta_{eq}} = \frac{1}{\beta_1} + \frac{1}{\beta_2}$$

Amore una volta questa espressione vale anche per la saturazione. Quelle che abbiamo ricavato è del tutto generale.

NAND e NOR



NAND



NOR

è più conveniente usare porte NAND o NOR? Entrambi sono insieme funzionalmente completi.

NOR in parallelo

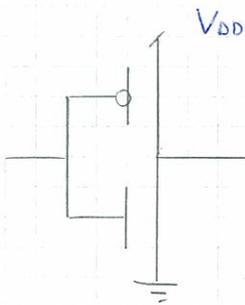
NOR in serie

$$\beta_{eq} = \beta_1 + \beta_2$$

$$\beta_{eq} = \frac{\beta_1 \beta_2}{\beta_1 + \beta_2}$$

↪ il β_{eq} sarà più piccolo del più piccolo dei due

Per un ~~inverter~~ inverter CMOS abbiamo detto



$$\beta_n = \beta_p$$

$$\mu_n = 2\mu_p$$

$$2 \cancel{C_x} \mu_p \frac{W_n}{L_n} = \cancel{C_x} \mu_p \frac{W_p}{L_p}$$

$$L_n = L_p = L_{min}$$

$$2W_n = W_p$$

Quindi quale delle due soluzioni è conveniente per quanto riguarda le dimensioni? È migliore il NAND, perché mi permette di avere dimensioni più piccole.

Abbiamo detto che i PMOS sono più lenti, perché hanno un μ_p più piccolo, quindi hanno una corrente di uscita più piccola quindi i tempi di carica e

scarica della capacità sono più lunghi. Consideriamo il NAND. Se $A=B=1$ i due PMOS sono accesi e posso considerare un $\beta_{eq} = \beta_1 + \beta_2$. Otengo un β_{eq} più grande di quello del pull-up del NOR.

Quando ragioniamo su una caratteristica la vorrei il più possibile simmetrica. Piuttosto che del β dipende la rapidità della mia porta. Più grande è β corrente sulla capacità più velocemente riesce a caricare o scaricare la capacità. Se faccio β grande ottengo correnti elevate.

Purtroppo nel caso in cui entrambi i pull-up sono accesi ($A \neq B = 0$).

Per:

NAND

non

$$\beta_{eq} = \beta_A + \beta_B$$

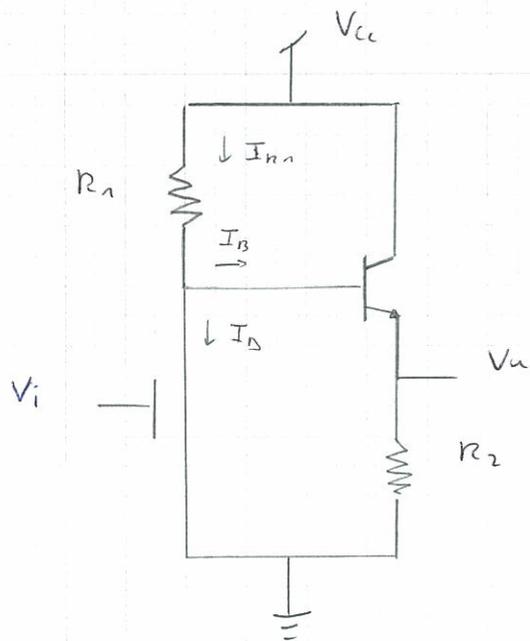
$$\beta_{eq} = \frac{\beta_A \beta_B}{\beta_A + \beta_B}$$

↪ minore del più piccolo dei due

Quindi per il NAND il β_{eq} è più grande quindi il circuito ha prestazioni migliori. Quindi a parità di prestazioni posso tenere β_A e β_B più

piccoli. Quindi per ottenere porte di dimensioni minori. Quindi
 quando si lavora con porte così si preferisce lavorare con NAND.
 Mi sono concentrata sul pull-up perché è la parte più lenta e
 quindi più critica. Per mantenere le stesse prestazioni doveri fare i prototipi.

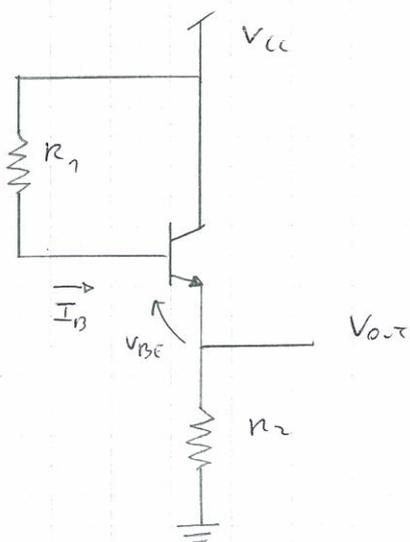
esercizi



- $V_f = 0.75V$
- $V_T = 0.8V$
- $\beta_n = 5 \text{ mA/V}^2$
- $\beta_F = 100$
- $R_1 = 5 \text{ k}\Omega$
- $R_2 = 1 \text{ k}\Omega$
- $V_{CC} = 5V$

Dobbiamo allora i margini di immunità ai disturbi. Quindi
 ricaviamo la caratteristica ingresso-uscita.

I) $V_{in} < V_T$ n OFF



perché non può essere OFF?

Di sicuro $V_{out} > V_T$ AD.

Non può essere né in sat né OFF, altrimenti abbiamo degli assurdi.

la cosa migliore è risolvere tutte le eq. per impostare un sistema.

Noi vogliamo calcolare V_{out}

$$\begin{cases} V_{out} = V_{cc} - R_1 I_B - V_f \\ V_{out} = R_2 I_E \\ I_C = \beta_F I_B \\ I_C + I_B = I_E \end{cases}$$

2 incognite: V_{out} e V_f

ma ho un'altra incognita: I_C

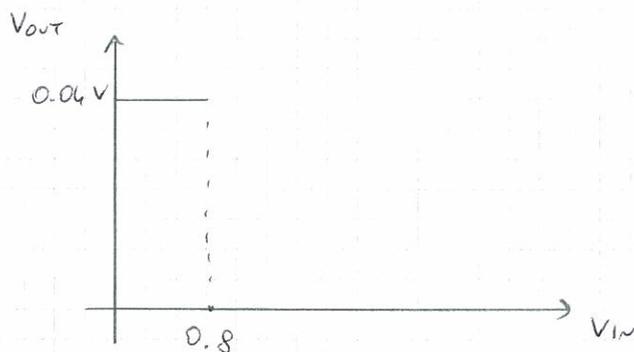
$$I_E = I_C + I_B = \beta_F I_B + I_B = (\beta_F + 1) I_B$$

$$V_{out} = R_2 I_E = R_2 (\beta_F + 1) I_B$$

$$R_2 (\beta_F + 1) I_B = V_{cc} - R_1 I_B - V_f \Rightarrow I_B = \frac{V_{cc} - V_f}{R_2 (\beta_F + 1) + R_1} = \frac{5 - 0.75}{10^3 (101) + 5}$$

$$= \frac{4.25}{106 \cdot 10^3} = 0.040 \cdot 10^{-3} \text{ A}$$

$$V_{out} = R_2 (\beta_F + 1) I_B = 10^3 \cdot (101) \cdot 0.040 \cdot 10^{-3} = 4.04 \text{ V}$$



II) $V_{in} > V_T$
NOT ON

In che regione lavora? SAT

(P.O. = Pinch Off = SAT)

NO H_p SAT

$$V_{DS} > V_{DS} - V_T$$

$$V_{DS} > V_{DS} - V_T$$

per $V_{in} = V_T$ $V_{DS} = V_{out} + V_f = 4.73 \text{ V}$

che è sicuramente superiore a $V_{in} - V_T$

quindi sicuramente inizialmente sarà saturo.

Ap SAT

$$\left\{ \begin{array}{l} V_{OUT} = R_2 I_E \\ I_E = (\beta_F + 1) I_B \\ I_{R1} = I_B + I_D \\ I_D = \frac{\beta_M}{2} (V_{IN} - V_T)^2 \\ \text{IIII} \quad V_{CC} - R_1 I_{R1} - V_f = V_{OUT} \end{array} \right.$$

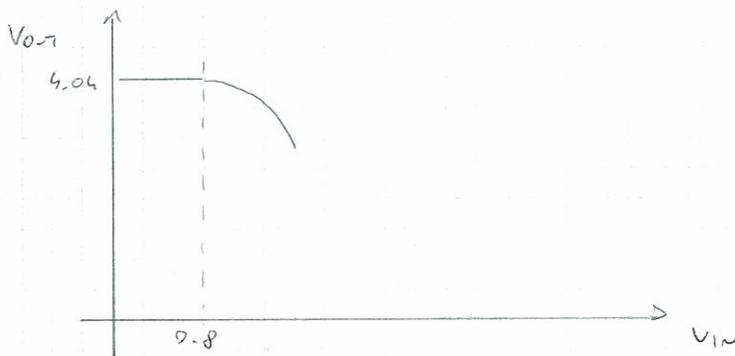
lasciamo $(V_{IN} - V_T)$ tanto e un $(V_{IN} - \text{una costante})$.

$$V_{OUT} = R_2 (\beta_F + 1) I_B = R_2 (\beta_F + 1) (I_{R1} - I_D) = R_2 (\beta_F + 1) \left[\frac{V_{CC} - V_f - V_{OUT}}{R_1} - \frac{\beta_M}{2} (V_{IN} - V_T)^2 \right]$$

Or mi conviene ricavare V_{OUT} in funzione di $(V_{IN} - V_T)$

$$V_{OUT} \left[1 + \frac{R_2}{R_1} (\beta_F + 1) \right] = \frac{R_2}{R_1} (\beta_F + 1) (V_{CC} - V_f) - \frac{R_2 (\beta_F + 1) \beta_M}{2} (V_{IN} - V_T)^2$$

$$V_{OUT} = 4.04 - 11.91 (V_{IN} - 0.8)^2$$



III) Anche prima NOT PO \rightarrow ~~LOW~~ T SAT
oppure T SAT \rightarrow OFF H P.O

Possono avvenire due cose:

$V_{IN} \uparrow$ $\left\{ \begin{array}{l} 1) \text{ T OFF} \quad (\text{H rimane in PO}) \\ 2) \text{ H LIN} \quad (\text{T R.N.}) \end{array} \right.$

(in P.O.)
 1) $\boxed{T \text{ OFF}} \Rightarrow I_E = I_C = I_B = 0 \Rightarrow R_E I_E = 0 = V_u \Rightarrow V_u = 0$

Per quale valore di V_{IN} accade? Nel momento in cui T si spegne vale ancora l'eq. ricavata nel tratto precedente.

$$V_u = 4.05 - 11.91 (V_{IN} - 0.8)^2$$

" "
0

$$\boxed{V_{IN} = 1.38 \text{ V}}$$

(T R.M.)
 2) $\boxed{M \text{ LIM}} \Rightarrow V_{DS} < V_{GS} - V_T$

ma $V_{GS} = V_{IN} < V_{DS} = V_u + V_f$ **N.B.**

$$\Rightarrow V_u + V_f < V_{IN} - V_T$$

Il M passa da PO a LIM per $V_u + V_f = V_{IN} - V_T$
 la soglia tra PO e LIM e l'Ro per

$$V_{IN} = V_u + V_f + V_T$$

Ma sulla soglia vale ancora l'eq. ricavata per il tratto precedente.

$$\begin{cases} V_{IN} = V_u + V_f + V_T \\ V_u = 4.05 - 11.91 (V_{IN} - 0.8)^2 \end{cases}$$

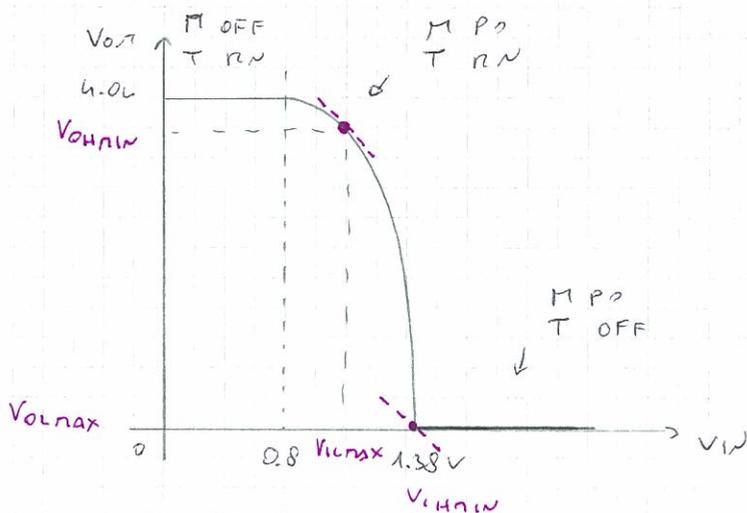
Risolvendo

$$\boxed{V_{IN} = 1.336 \text{ V}}$$

$$V_{IN} = 0.121 \text{ V}$$

non accettabile perché è minore della soglia: il MOS non saturerà in PO ma OFF

Conclusione: avviene prima la situazione 1: il MOS si spegne con il MOS ancora in PO. Da qui in poi T OFF e $V_{DS} = 0$



Calcoliamo ora il margine di immunità ai disturbi

$$V_u = 4.04 - 11.91 (V_{in} - 0.8)^2$$

$$-1 = \frac{dV_u}{dV_i} = -2 \cdot 11.91 \cdot (V_{in} - 0.8)$$

$$-1 = -2 \cdot 11.91 \cdot (V_{in} - 0.8)$$

$$V_{in} = V_{ILMAX} = 0.84 \text{ V}$$

$$V_{OHMIN} = 4.03 \text{ V}$$

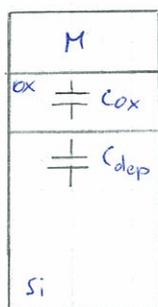
I valori di $V_{OLMAX} = 0$ e $V_{IHMIN} = 1.38 \text{ V}$ li conosciamo già.

$$NM_H = V_{OHMIN} - V_{IHMIN} = 4.03 - 1.38 = 2.65 \text{ V}$$

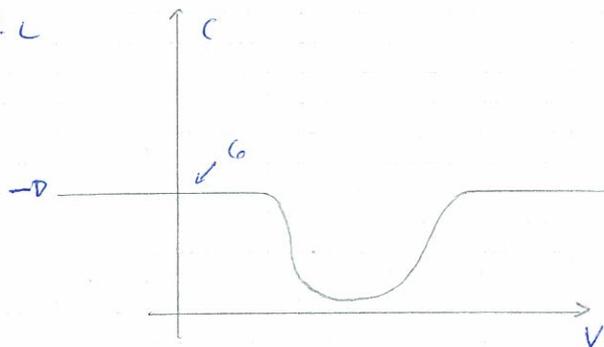
$$NM_L = V_{ILMAX} - V_{OLMAX} = 0.84 \text{ V}$$

$$NM = 0.84 \text{ V}$$

Capacità presenti in un transistor mos



$$C_0 = C_{ox} \cdot W \cdot L$$



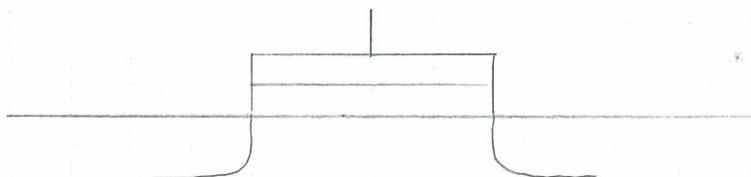
È una capacità non lineare, che dipende dalla tensione.

Per semplicità consideriamo C_0 costante (non dipendente da V).

Pettianoci però nel caso peggiore, cioè con C_0 al valore massimo (\rightarrow)

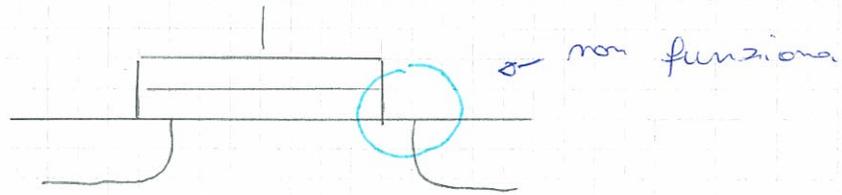
$$C = C_0 \quad \forall V$$

Questa non è però l'unica capacità presente.

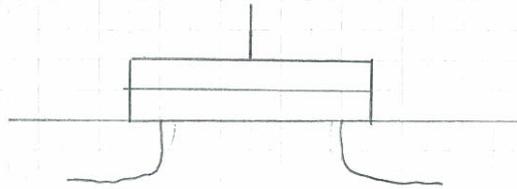


Ma piacerebbe che il transistor fosse fatto così. In realtà è molto

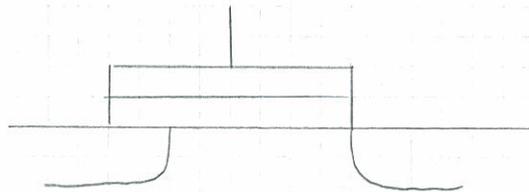
difficile da realizzare perché a causa di un disallineamento del wafer in fase di produzione potrebbe avvenire una cosa del genere.



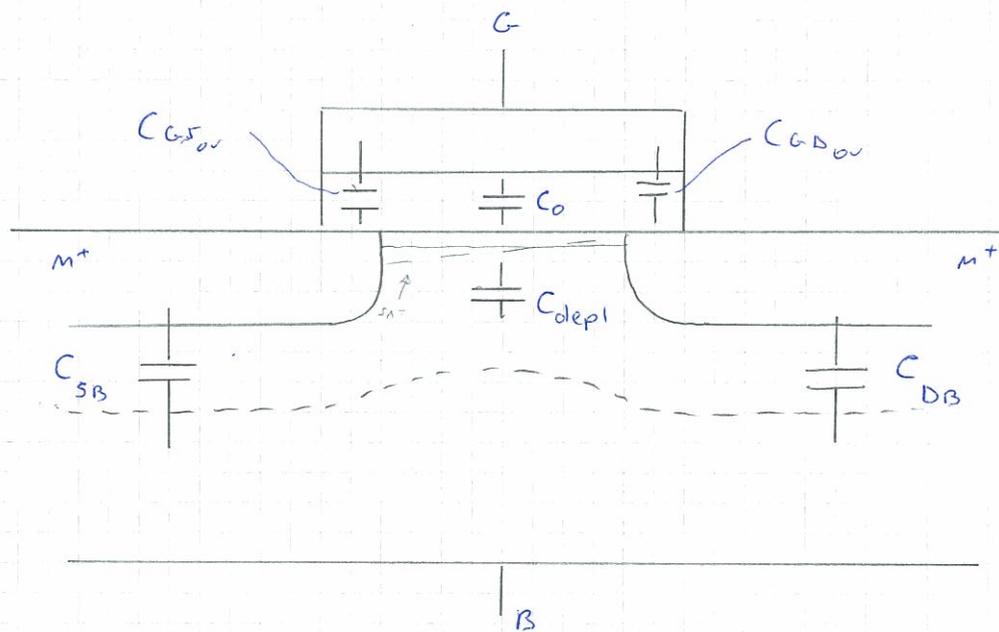
Preferisco allora una cosa del genere



Funziona anche in caso di disallineamento



Ma in questo caso introduco delle capacità parassite di overlap (sovrapposizione). Anzi poi delle capacità fra le regioni sottili e il substrato di bulk.



Tra l'altro queste capacità dipendono dalle regioni di funzionamento del transistor.

MOS OFF : Non c'è canale formato. Tra G e B vedo la serie di C_0 e C_{depl} . La capacità risultante è più piccola della più piccola delle due. Quindi sicuramente C_{GB} (C gate-bulk) $\rightarrow C_{GB}$ sarà minore di C_0 .

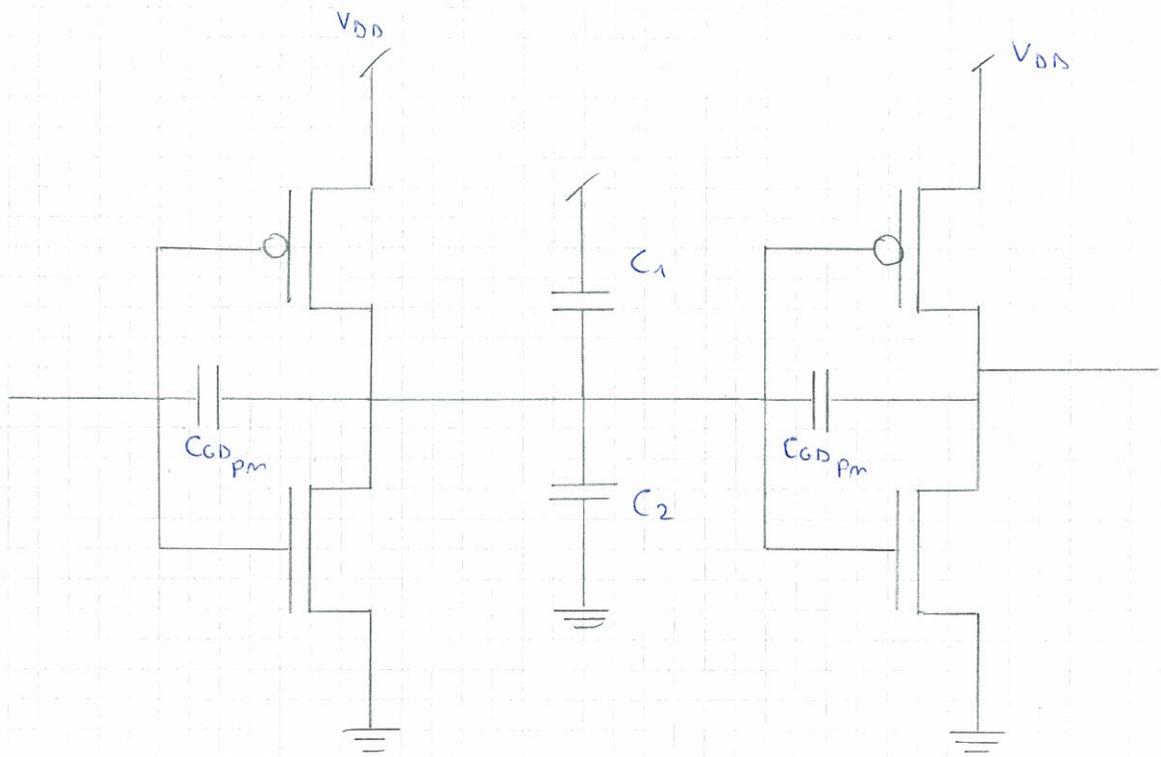
MOS LIN : Po la formazione di uno strato di electroni, che è conduttivo. e^- come se fosse un metallo. Po da ritorno alle capacità sottostanti. Tra gate e bulk non vedo capacità, quindi $C_{GB} \approx 0$. Ma che fine fa C_0 ? Si ridistribuisce fra source e Drain. In prima approssimazione possiamo dire che si distribuisce ^{meta'} a dextro e meta' a sinistra, quindi

$$C_{GS} = C_{GS_{ov}} + \frac{C_0}{2} \quad e \quad C_{GD_{ov}} = C_{GD_{ov}} + \frac{C_0}{2}$$

MOS OFF : Tra gate o source e gate e drain vedo solo la capacità di overlap : $C_{GS} = C_{GS_{ov}}$ e $C_{GD} = C_{GD_{ov}}$

MOS SAT : Il canale è spezzato. Le capacità tra bulk gate e bulk possiamo considerarla nulla (anche se ora c'è un pezzettino spezzato). Ora il canale non è più uniforme. Quindi C_0 non si ridistribuisce più in parti uguali su source e drain, ma più sul drain e meno sul source.

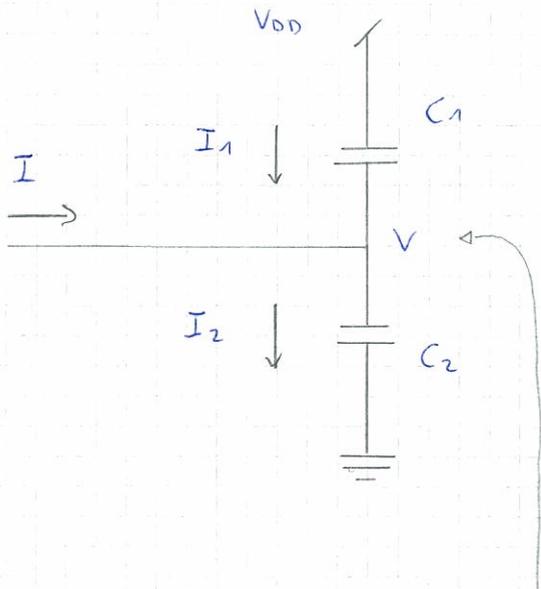
	C_{GB}	C_{GS}	C_{GD}
MOS OFF	$< C_0$	$C_{GS_{ov}}$	$C_{GD_{ov}}$
MOS SAT	~ 0	$> C_{GS_{ov}} + \frac{C_0}{2}$	$< C_{GD_{ov}} + \frac{C_0}{2}$
MOS LIN	~ 0	$C_{GS_{ov}} + \frac{C_0}{2}$	$C_{GD_{ov}} + \frac{C_0}{2}$



$$C_{GD_{pm}} = C_{GD_p} + C_{GD_m}$$

$$C_1 = C_{DB_p} + C_{GB_p} + C_{GS_p}$$

$$C_2 = C_{DB_m} + C_{GB_m} + C_{GS_m}$$



$$I = I_2 - I_1$$

$$I_2 = C_2 \frac{dV}{dt}$$

$$I_1 = C_1 \frac{d(V_{DD} - V)}{dt} = -C_1 \frac{dV}{dt}$$

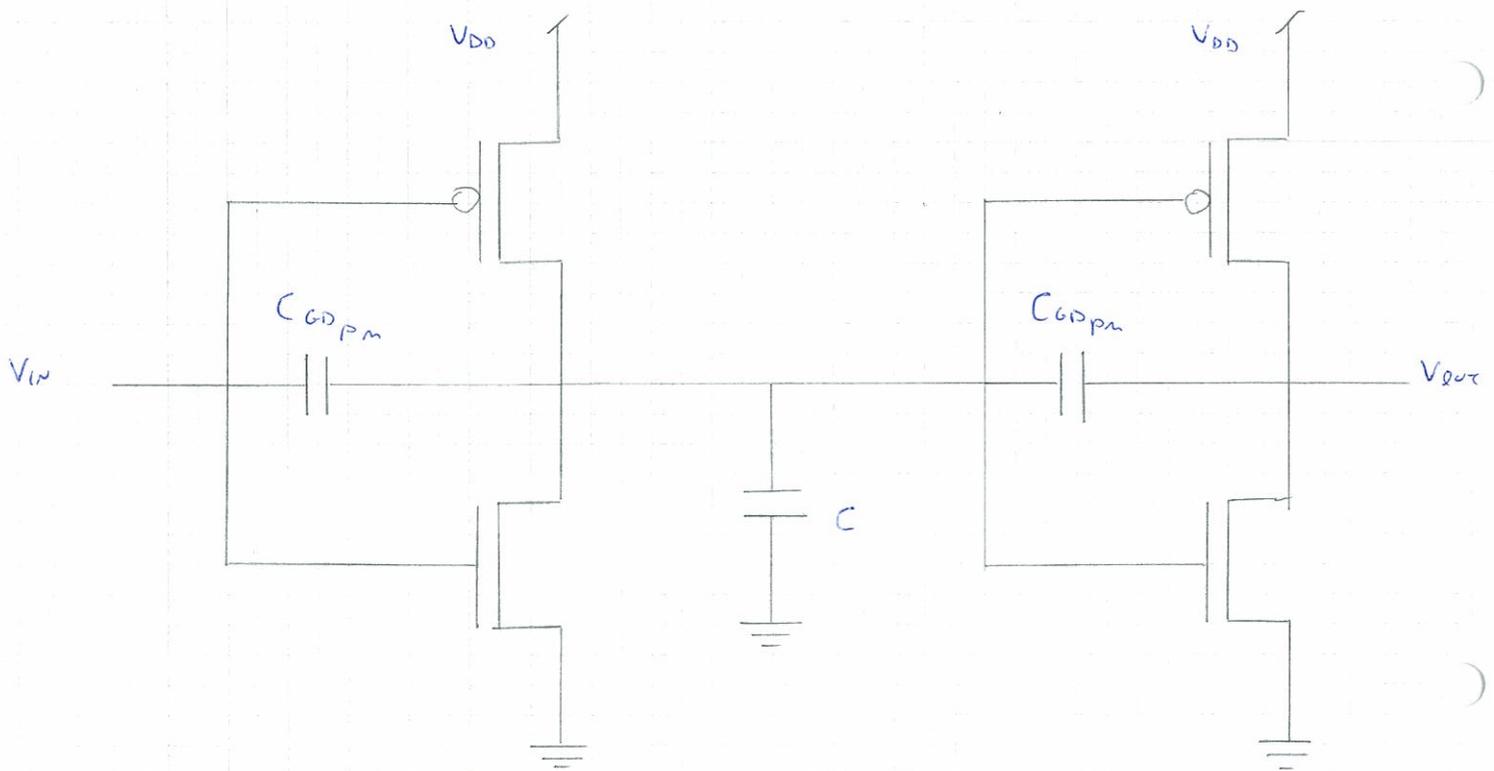
$$I = C_2 \frac{dV}{dt} + C_1 \frac{dV}{dt} = (C_2 + C_1) \frac{dV}{dt}$$

↑

queste due capacità
di fatto sono in
parallelo tra loro.

L'unico nodo che varia è questo
(gli altri sono V_{DD} e massa)
quindi le due capacità vedono la
stessa variazione di tensione

Posiamo quindi considerare una sola capacità $C = C_1 + C_2$

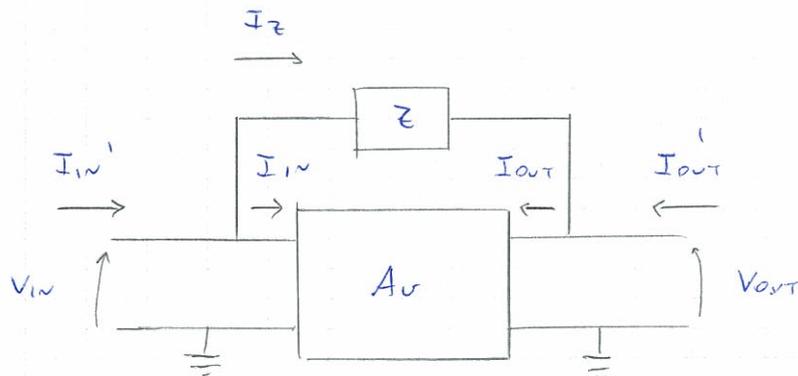


C è qualcosa di proporzionale a C_{ox}

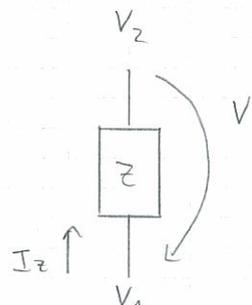
La tensione ai capi di $C_{topn} + C_{botn}$ dipende da V_{in} e V_{out} . C'è un teorema, che è il teorema di Miller, che ci permette di dividere ciascuna di queste due capacità in due capacità, una associata all'input e una associata all'output.

Teorema di Miller

Consideriamo un circuito generico che schematizziamo come un blocco di guadagno A_v , con 2 porte in ingresso e 2 di uscita.



$$I_z = \frac{V_1 - V_2}{Z}$$



$$\begin{cases} I_W' = I_{IN} + I_z \\ I_z = \frac{V_{IN} - V_{OUT}}{Z} \\ V_{OUT} = A_V V_{IN} \end{cases}$$

$$I_W' = I_{IN} + \frac{V_{IN} - V_{OUT}}{Z} = I_{IN} + \frac{V_{IN} - A_V V_{IN}}{Z} = I_{IN} + V_{IN} \frac{(1 - A_V)}{Z}$$

So' quindi riuscito a esprimere I_W' in funzione delle sole grandezze in ingresso al mio sistema (I_{IN} e V_{IN}).

$$\left[I_{IN}' = I_{IN} + \frac{V_{IN}}{Z \cdot (1 - A_V)} \right]$$

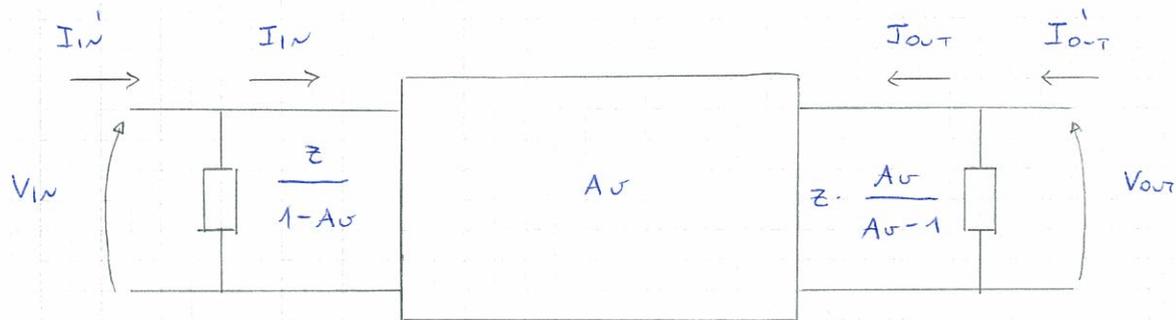
Guardiamo l'uscita.

$$\begin{cases} I_{OUT}' = I_{OUT} - I_z \\ I_z = \frac{V_{IN} - V_{OUT}}{Z} \\ V_{OUT} = A_V V_{IN} \end{cases}$$

$$\begin{aligned} I_{OUT}' &= I_{OUT} - \frac{V_{IN} - V_{OUT}}{Z} = I_{OUT} - \frac{\frac{V_{OUT}}{A_V} - V_{OUT}}{Z} = I_{OUT} - V_{OUT} \frac{1 - A_V}{A_V \cdot Z} = \\ &= I_{OUT} + V_{OUT} \frac{A_V - 1}{A_V \cdot Z} \end{aligned}$$

$$\left[I_{OUT}' = I_{OUT} + \frac{V_{OUT}}{Z \cdot \frac{A_V}{A_V - 1}} \right]$$

Disegna ora il circuito equivalente a quell di partenza.



Nel nostro caso l'impedenza è il condensatore. A_V è il guadagno dell'invertitore.
 Po per l'invertitore $A_V \leq 0$

$$A_V \leq 0$$

$$A_V = -|A_V|$$

$$Z_{OUT} = Z \cdot \frac{-|A_V|}{-|A_V| - 1} = Z \cdot \frac{|A_V|}{|A_V| + 1}$$

$$Z_{IN} = \frac{Z}{1 + |A_V|}$$

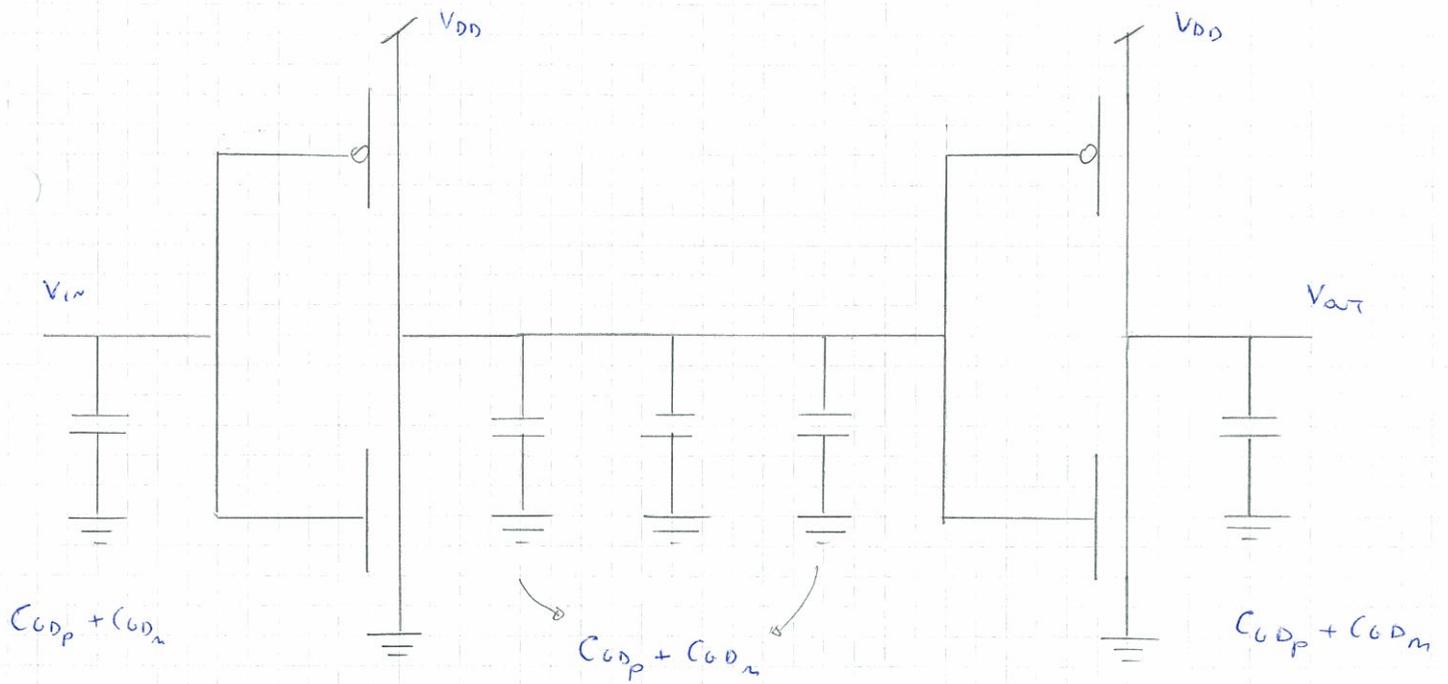
$$|A_V| = 0 \quad Z_{IN} = Z$$

$$|A_V| \rightarrow \infty \quad Z_{IN} = 0$$

$$|A_V| = 0 \quad Z_{OUT} = 0$$

$$|A_V| \rightarrow \infty \quad Z_{OUT} = Z$$

Come si ripartisce l'impedenza tra ingresso e uscita dipende da A_V .
 Mi metto nel caso peggiore. Prendiamo Q Z_{IN} e Q Z_{OUT}
 indipendenti dal guadagno e pari al Q valore massimo Z .

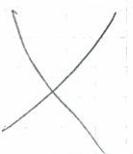
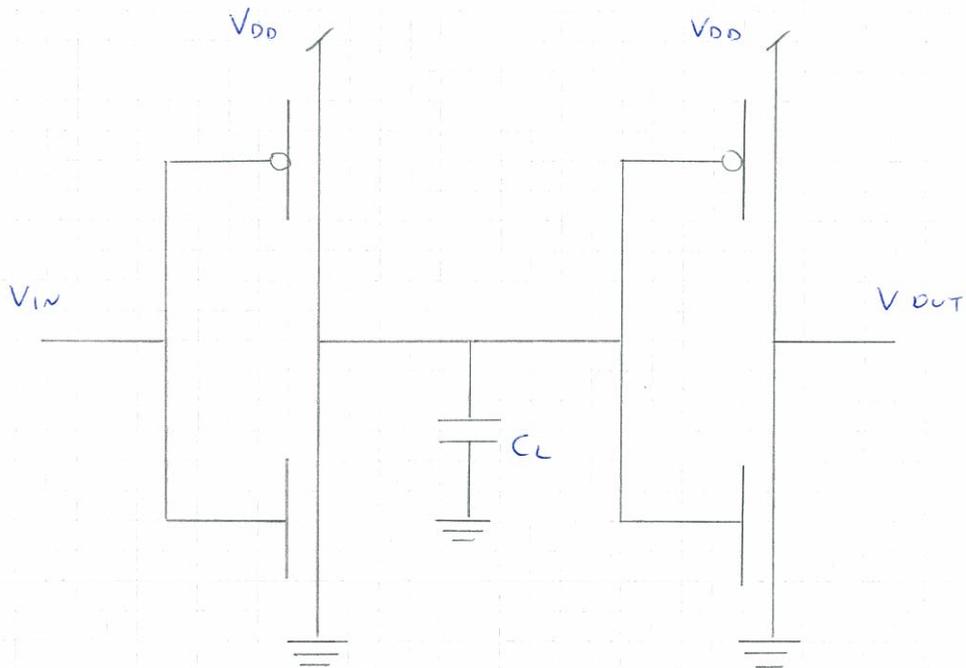


$$C_L = \alpha C_{ox} W L$$

CAPACITA' DI CARICO

$$C_o$$

$$C_{ox} \left[\frac{F}{\mu m^2} \right] \quad C_o [F]$$



Definizioni: tempi di propagazione

TEMPO DI PROPAGAZIONE t_{PHL} (perché l'uscita passi da alto a basso). Tempo necessario affinché, applicato un ingresso alto, l'uscita passi da alto a basso.

TEMPO DI PROPAGAZIONE t_{PLH} tempo necessario affinché, applicato un ingresso basso in ingresso, l'uscita commuti da basso a alto.

$$t_{PHL} \quad V_{IN} = V_H \quad V_{OUT}: V_H \rightarrow V_L$$

$$t_{PLH} \quad V_{IN} = V_L \quad V_{OUT}: V_L \rightarrow V_H$$

Ma poiché abbiamo dei condensatori questi valori si raggiungono all'infinito. Quindi in realtà studiano il tempo affinché l'uscita raggiunga un valore pari a metà della sua escursione logica.

$$t_{PHL} \quad V_{IN} = V_H \quad V_{OUT}: V_H \rightarrow \frac{V_H + V_L}{2}$$

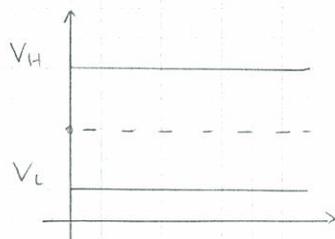
$$t_{PLH} \quad V_{IN} = V_L \quad V_{OUT}: V_L \rightarrow \frac{V_H + V_L}{2}$$

Si definisce TEMPO DI PROPAGAZIONE t_p la media fra t_{PHL} e t_{PLH} , cioè

$$t_p = \frac{t_{PHL} + t_{PLH}}{2}$$

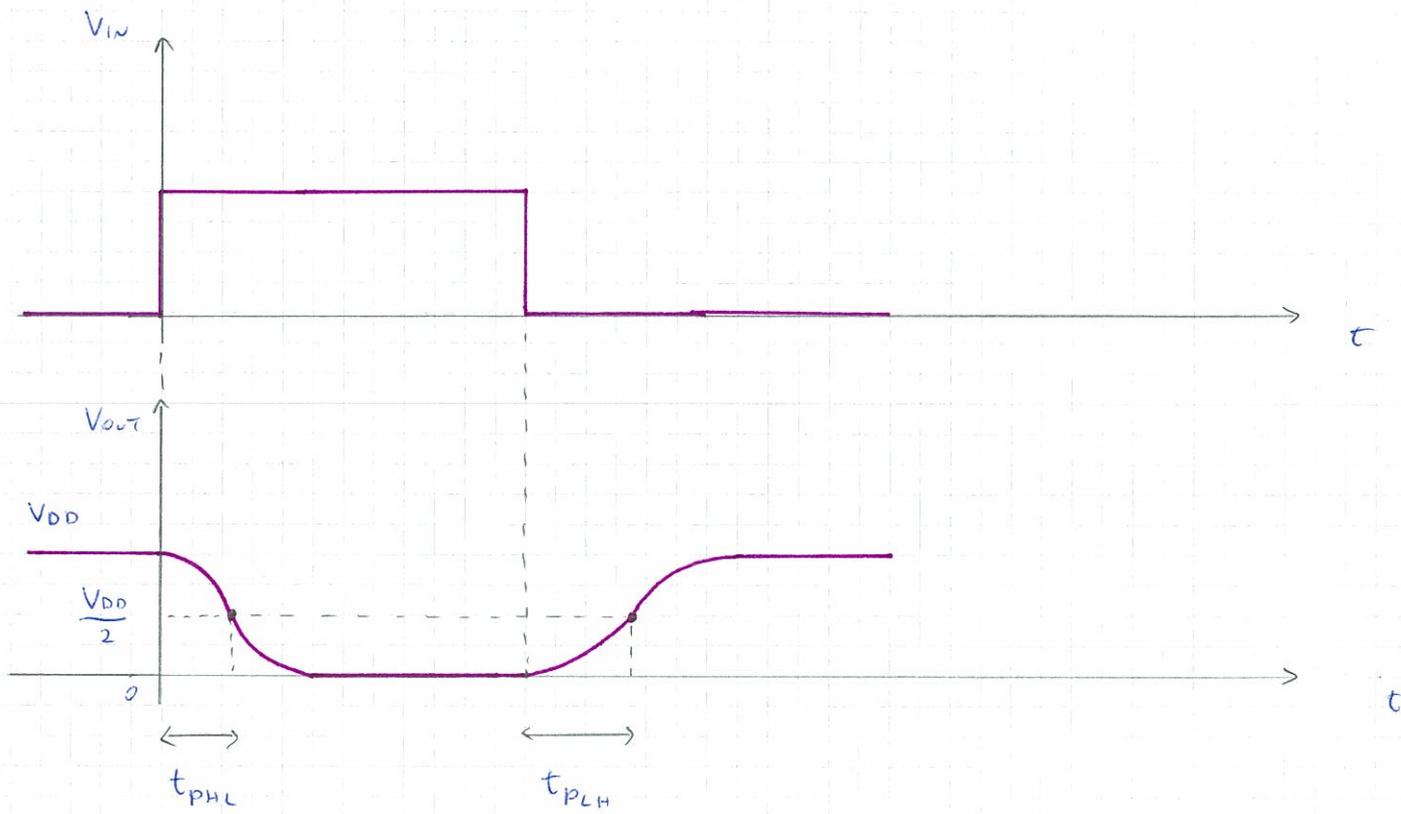
Guardiamob da un punto di vista grafico.

NOTA:

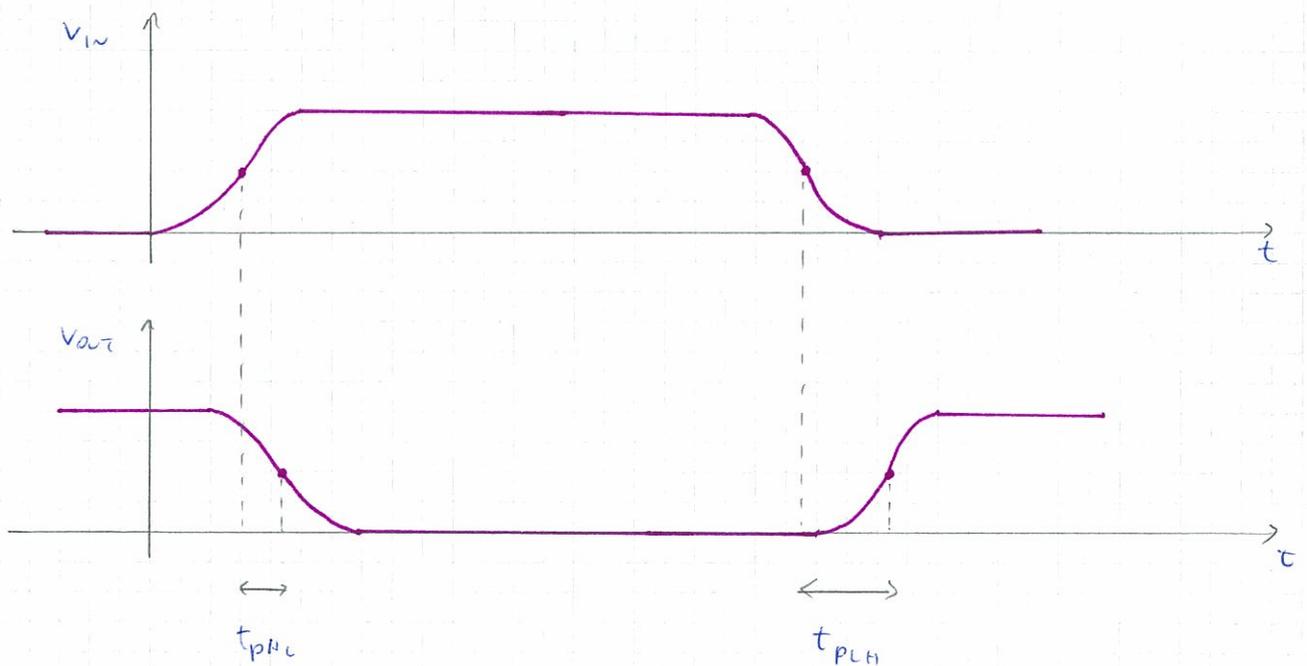


$$\frac{V_H - V_L}{2} + V_L = \frac{V_H + V_L}{2}$$

← 50% dell'escursione logica



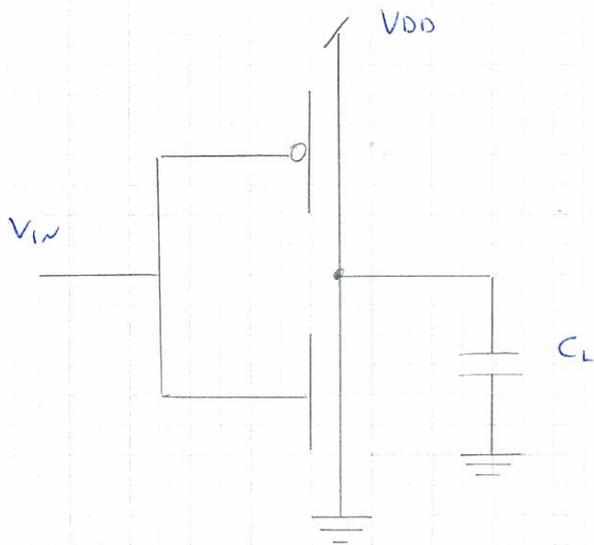
Nei nostri esercizi supponiamo che l'ingresso commuti in modo istantaneo. Nella realtà commutazioni istantanee non esistono.



In questo caso si considera la differenza fra gli istanti in cui i segnali in ingresso e in uscita raggiungono la metà della B_w ensione logica.

Dai tempi di propagazione dipenderanno anche le frequenze a cui posso far lavorare il mio circuito.

Calcolo del tempo di propagazione di un invertitore CMOS



$t < 0$

$V_{IN} = 0$

NMOS OFF

PMOS ON

$V_{OUT} = V_{DD}$

Il condensatore è carico a V_{DD} . Circolano correnti in condizioni di regime?

No, perché NMOS spento, condensatore carico \Rightarrow anche se PMOS è acceso non circola corrente su di esso.

Supponiamo che in $t=0$ l'ingresso commuti istantaneamente.

$t > 0$

$t=0^+ \quad V_{IN} = V_{DD} \quad V_{OUT} = V_{DD}$

I transistori come stanno lavorando?

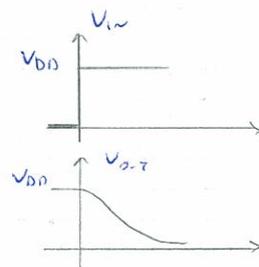
$V_{IN} = V_{DD}$

$V_{GS_n} = V_{IN} - 0 = V_{DD} > V_{th}$

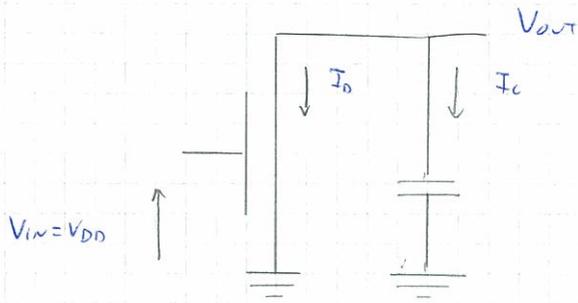
NMOS ON

$V_{GS_p} = V_{DD} - V_{IN} = V_{DD} - V_{DD} = 0 < |V_{thp}|$ FALSO

PMOS OFF



Istantaneamente il pull-down si è acceso e il pull-down si è spento,



non mi importa
del pull-up perché
è spento

NMOS SAT o LIN?

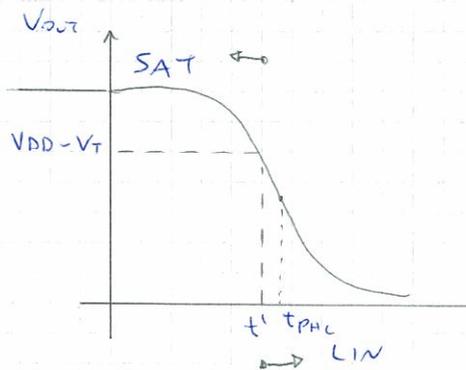
SAT se NMOS

$$V_{DS} > V_{GS} - V_{TN}$$

$$V_{out}(t) > V_{DD} - V_{TN}$$

" "
" "
 V_{in}

Ci sarà un intervallo di tempo in cui il mos sarà SAT e un altro
in cui sarà in LIN



SAT se $V_{out} > V_{DD} - V_T$
LIN se $V_{out} < V_{DD} - V_T$

$$V_{out}: \begin{matrix} \overbrace{V_{DD} \rightarrow V_{DD} - V_T}^{t'} & \xrightarrow{\text{mos SAT}} & \overbrace{\frac{V_H + V_L}{2} \rightarrow \frac{V_{DD}}{2}}^{t''} & \xrightarrow{\text{mos LIN}} & \end{matrix} = \frac{V_{DD}}{2}$$

$$t_{PHL} = t' + t''$$

Dobbiamo studiare le due circuiti in due condizioni: il mos sat e il mos lin.

tempo per arrivare a t'

tempo t_{PHL}
 t' e t_{PHL}

t') NMOS SAT

$$I_D = -I_C$$

$$I_D = \frac{\beta_n}{2} (V_{GS} - V_{TN})^2 = \frac{\beta_n}{2} (V_{IN} - V_{TN})^2$$

$$I_C = C_L \frac{dV_{OUT}}{dt}$$

$$\frac{\beta_n}{2} (V_{DD} - V_{TN})^2 = -C_L \frac{dV_{OUT}}{dt}$$

$$dt = - \frac{2 C_L}{\beta_n} \frac{1}{(V_{DD} - V_{TN})^2} dV_{OUT}$$

$$\int_0^{t'} dt = - \int_{V_{DD}}^{V_{DD}-V_T} \frac{2 C_L}{\beta_n} \frac{1}{(V_{DD} - V_{TN})^2} dV_{OUT}$$

$$t' = - \frac{2 C_L}{\beta_n} \frac{1}{(V_{DD} - V_{TN})^2} [V_{DD} - V_{TN} - V_{DD}] = \frac{2 C_L}{\beta_n} \frac{V_{TN}}{(V_{DD} - V_{TN})^2}$$

t'') NMOS LIN

$$I_{D,LIN} = -I_C$$

$$\beta_n \left[(V_{GS} - V_{TN}) V_{DS} - \frac{V_{DS}^2}{2} \right] = -C_L \frac{dV_{OUT}}{dt}$$

$$V_{GS} = V_{IN} = V_{DD}$$

$$V_{DS} = V_{OUT}$$

$$\beta_n \left[(V_{DD} - V_{TN}) V_{OUT} - \frac{V_{OUT}^2}{2} \right] = -C_L \frac{dV_{OUT}}{dt}$$

$$dt = - \frac{C_L}{\beta_n} \frac{1}{(V_{DD} - V_{TN}) V_{OUT} - \frac{V_{OUT}^2}{2}} dV_{OUT}$$

$$dt = - \frac{C_L}{\beta_M} \frac{dV_{out}}{-\frac{V_{out}}{2} [V_{out} - 2(V_{DD} - V_{Th})]} = \frac{2C_L}{\beta_M} \frac{dV_{out}}{V_{out} [V_{out} - 2(V_{DD} - V_{Th})]}$$

$$\int_{t'}^{t_{PHL}} dt = \int_{V_{DD} - V_{Th}}^{\frac{V_{DD}}{2}} \frac{2C_L}{\beta_M} \frac{dV_{out}}{V_{out} [V_{out} - 2(V_{DD} - V_{Th})]}$$

$$t_{PHL} - t' = \frac{2C_L}{\beta_M} \dots$$

$$V_{out} = x$$

$$\int \frac{dx}{x(x-A)}$$

$$\frac{1}{x(x-A)} = \frac{B}{x} + \frac{C}{x-A} = \frac{Bx - AB + Cx}{x(x-A)} = \frac{x(B+C) - AB}{x(x-A)}$$

$$\begin{cases} B+C=0 \\ -AB=1 \end{cases} \Rightarrow \begin{cases} B = -\frac{1}{A} \\ C = \frac{1}{A} \end{cases}$$

$$t_{PHL} - t' = \frac{2C_L}{\beta_M} \left[\int_{V_{DD} - V_{Th}}^{\frac{V_{DD}}{2}} -\frac{1}{AV_{out}} dV_{out} + \int_{V_{DD} - V_{Th}}^{\frac{V_{DD}}{2}} \frac{1}{A(V_{out}-A)} dV_{out} \right]$$

$$t_{PHL} - t' = \frac{2C_L}{\beta_M} \frac{1}{2(V_{DD} - V_{Th})} \left[-\ln V_{out} \Big|_{V_{DD} - V_{Th}}^{\frac{V_{DD}}{2}} + \ln(V_{out} - 2(V_{DD} - V_{Th})) \Big|_{V_{DD} - V_{Th}}^{\frac{V_{DD}}{2}} \right]$$

$$= \frac{C_L}{\beta_M (V_{DD} - V_{Th})} \cdot \ln \frac{V_{out} - 2(V_{DD} - V_{Th})}{V_{out}} \Big|_{V_{DD} - V_{Th}}^{\frac{V_{DD}}{2}}$$

$$= \frac{C_L}{\beta_M (V_{DD} - V_{Th})} \cdot \ln \left[\frac{\frac{V_{DD}}{2} - 2V_{DD} + 2V_{Th}}{\frac{V_{DD}}{2}} \cdot \frac{V_{DD} - V_{Th}}{V_{DD} - V_{Th} - 2V_{DD} + 2V_{Th}} \right] = -V_{DD} + V_{Th} = -(V_{DD} - V_{Th})$$

$$t_{PHL} - t' = \frac{C_L}{\beta_m (V_{DD} - V_{TN})} \cdot \beta_p \left(\frac{-\frac{3}{4} V_{DD} + 2 V_{TN}}{\frac{V_{DD}}{2}} \cdot \frac{V_{DD} - V_{TN}}{-(V_{DD} - V_{TN})} \right) =$$

$$= \frac{C_L}{\beta_m (V_{DD} - V_{TN})} \beta_p \frac{3 V_{DD} - 4 V_{TN}}{V_{DD}} \quad \text{sostituire i valori di } t' \text{ trovato prima}$$

$$t_{PHL} = \frac{2 C_L V_{TN}}{\beta_m (V_{DD} - V_{TN})^2} + \frac{C_L}{\beta_m (V_{DD} - V_{TN})} \beta_p \left(\frac{3 V_{DD} - 4 V_{TN}}{V_{DD}} \right) =$$

$$= \frac{2 C_L}{\beta_m (V_{DD} - V_{TN})} \left[\frac{V_{TN}}{(V_{DD} - V_{TN})} + \frac{1}{2} \beta_p \left(3 - 4 \frac{V_{TN}}{V_{DD}} \right) \right]$$

$$t_{PHL} = \frac{2 C_L}{\beta_m (V_{DD} - V_{TN})} \left[\frac{V_{TN}}{(V_{DD} - V_{TN})} + \frac{1}{2} \ln \left(3 - 4 \frac{V_{TN}}{V_{DD}} \right) \right]$$

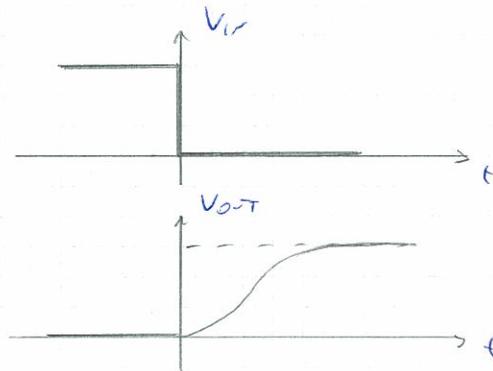
⚠ Attenzione! Questa formula si usa spesso nei compiti. Scrivere nel formulario ricordandosi però per quali estremi di integrazione è stata ricavata (potrebbe non essere sempre valida).

Calcolo di t_{PHL}

$$t < 0$$

$$V_{IN} = V_{DD}$$

$$V_{OUT} = 0$$



$$t = 0^+$$

$$V_{IN} = 0$$

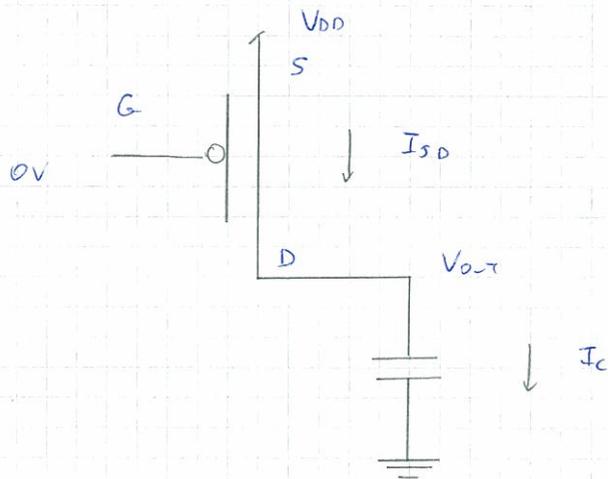
$$V_{OUT} = 0$$

N_{TOT} OFF (istantaneamente)

P_{TOT} ON

$$V_{SG} = V_{DD} - V_{IN} = V_{DD} > |V_{TP}|$$

Il circuito che dobbiamo studiare è



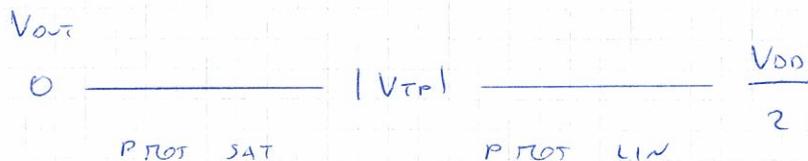
PROT ON

SAT se

$$V_{SD} > V_{SG} - |V_{TP}|$$

$$V_{DD} - V_{out} > V_{DD} - |V_{TP}|$$

$$V_{out} < |V_{TP}|$$



t')

PROT SAT

$$I_{SDSAT} = I_c$$

$$\frac{\beta_p}{2} (V_{DD} - |V_{TP}|)^2 = C \frac{dV_{out}}{dt}$$

$$\int_0^{t'} dt = \dots \int_0^{|V_{TP}|} \dots dV_{out}$$

$$t' = \frac{2C}{\beta_p} \frac{|V_{TP}|}{(V_{DD} - |V_{TP}|)^2} \quad \leftarrow \text{stesso risultato di prima}$$

t'')

PROT LIN

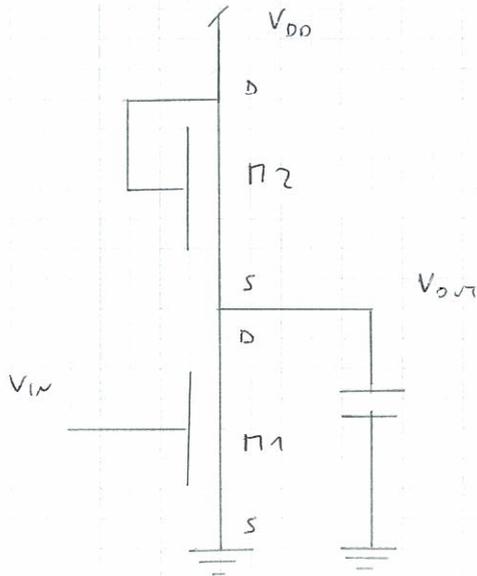
$$\beta_p \left[(V_{DD} - |V_{TP}|) (V_{DD} - V_{out}) - \frac{(V_{DD} - V_{out})^2}{2} \right] = C \frac{dV_{out}}{dt}$$

$$\int_{t'}^{t_{PLH}} dt = \dots \int_{|V_{TP}|}^{\frac{V_{DD}}{2}} \dots dV_{out}$$

$$t_{pLH} = \frac{2C_L}{\beta_P (V_{DD} - |V_{TP}|)} \left[\frac{|V_{TP}|}{(V_{DD} - |V_{TP}|)} + \frac{1}{2} \ln \left(3 - 4 \frac{V_{TN}}{V_{DD}} \right) \right]$$

→ stesso risultato di prima

Esercizio sui tempi di propagazione



Fattore 10^{-15}

$$V_{TN} = |V_{TP}| = V_T = 0.8 \text{ V}$$

β_1 ?

β_2 ?

Determinare β_1 e β_2 in modo che

$$t_{pLH} = 20 \text{ ns}$$

$$V_H - V_L = 4 \text{ V}$$

con $C = 0.1 \text{ pF}$

con $V_{DD} = 5 \text{ V}$

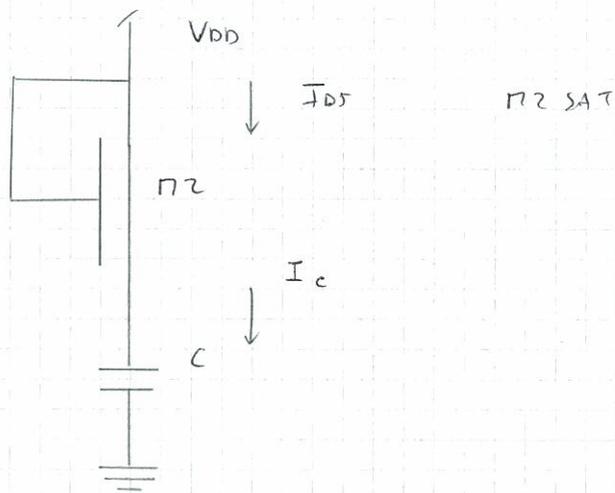
Svolgimento Δ dalla teoria

$$V_H = V_{DD} - V_T =$$

$$V_L = -4 + \underbrace{V_{DD} - V_T}_{V_H} = -4 + 5 - 0.8 = 0.2 \text{ V}$$

calcol t_{pLH} ($V_{IN} = V_L = 0.2 \text{ V}$)

$$V_{IN} = 0.2 \text{ V} \Rightarrow M1 \text{ OFF} \quad (V_{GS} = V_{IN} < V_T)$$



$$I_{D5} = I_c$$

$$\frac{\beta_2}{2} (V_{GS2} - V_T)^2 = C \frac{dV_{out}}{dt}$$

$$\frac{\beta_2}{2} (V_{DD} - V_{out} - V_T)^2 = C \frac{dV_{out}}{dt}$$

$$dt = \frac{2C}{\beta_2} \cdot \frac{dV_{out}}{(V_{DD} - V_T - V_{out})^2}$$

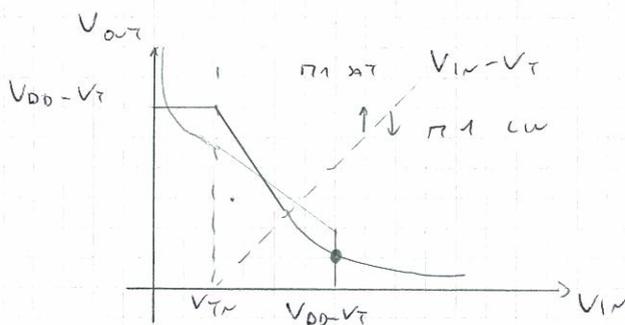
qui il mos è sempre sat: il tempo di propagazione è composto da un solo tratto.

$$\int_0^{t_{pLH}} dt = \frac{2C}{\beta_2} \int_{V_L=0.2}^{\frac{V_H+V_L}{2} = \frac{5-0.8+0.2}{2} = 2.2} \frac{dV_{out}}{(V_{DD} - V_T - V_{out})^2}$$

$$t_{pLH} = 20 \cdot 10^{-3} = \frac{2C}{\beta_2} \int_{0.2}^{2.2} \frac{dV_{out}}{(4.2 - V_{out})^2} = \int \frac{dx}{(x-a)^2}$$

$$\Rightarrow \beta_2 = 2.5 \mu \frac{A}{V^2}$$

Ora devo globale β_1 - sfrutto le info sul valore base



Interno questo pezzo di caratteristica con β e $V_{DD} - V_T$

$$I_{DS2} = I_{DS1} \quad \text{LOW}$$

$$\frac{\beta_2}{2} (V_{DS2} - V_T)^2 = \beta_1 \left[(V_{DS1} - V_T) V_{DS1} - \frac{V_{DS1}^2}{2} \right]$$

$$\frac{\beta_2}{2} (V_{DD} - V_{OUT} - V_T)^2 = \beta_1 \left[(V_{IN} - V_T) V_{OUT} - \frac{V_{OUT}^2}{2} \right]$$

$$V_{IN} = V_{DD} - V_T$$

$$\frac{\beta_2}{2} (V_{DD} - V_L - V_T)^2 = \beta_1 \left[(V_{DD} - V_T - V_T) V_L - \frac{V_L^2}{2} \right]$$

$$V_L = 0.2 \text{ V}$$

$$\beta_1 = 30.3 \mu \frac{A}{V^2}$$

∞ FINE ∞

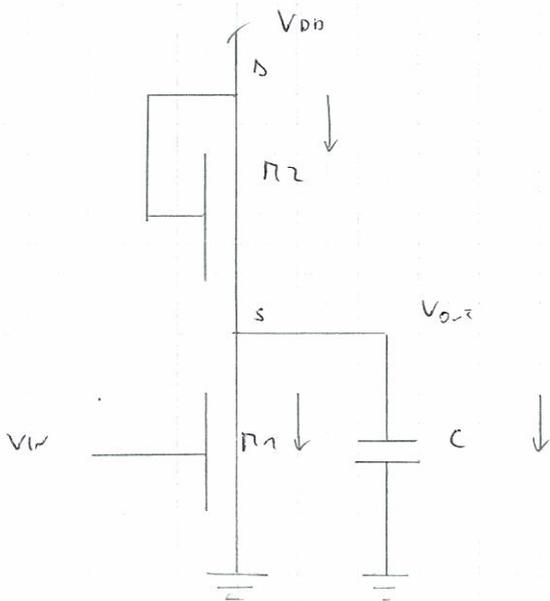
Se fosse stato dato un tempo di propagazione da H a L, come cambia nell'equazione?

t_{PHL}

$$V_{IN} = V_{DD} - V_T = V_{HT}$$

M1 ON

M2 ON SAT



$$I_{DS2} = I_{DS1} + I_C$$

$$\frac{\beta_2}{2} (V_{DD} - V_{OUT} - V_T)^2 = I_{DS1} + C \frac{dV_{OUT}}{dt}$$

M1 SAT

$$V_{DT} = V_{out}$$

$$V_{DS} > V_{GS} - V_T$$

$$V_{GS} = V_{IN} = V_{DD} - V_T$$

$$V_{out} > V_{DD} - V_T - V_T = V_{DD} - 2V_T$$

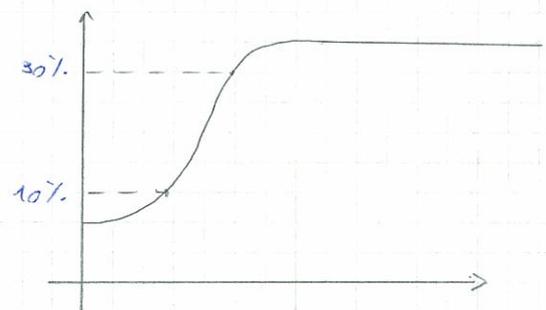
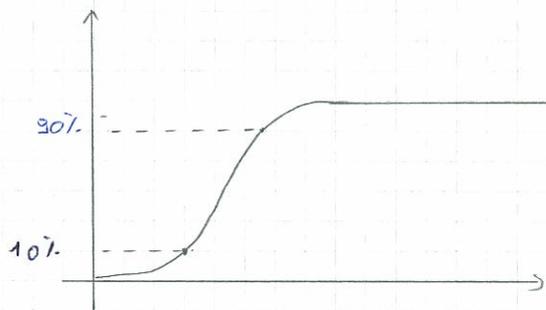
V_{out}

$$V_{IH} = V_{DD} - V_T \xrightarrow{\text{SAT}} V_{DD} - 2V_T \xrightarrow{\text{LIN}} \frac{V_{IH} + V_L}{2}$$

Definizioni: tempo di salita e Tempo di discesa del segnale di uscita

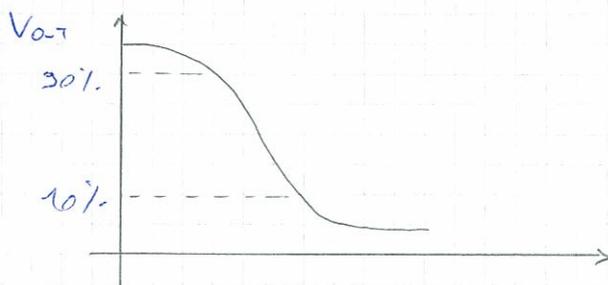
$t_{RISE} = \text{TEMPO DI SALITA}$

Tempo che il segnale di uscita impiega per passare dal 10% al 90% della sua escursione tipica.



$t_{FALL} = \text{TEMPO DI DISCESA}$

Tempo perché l'uscita passi dal 90% al 10% dell'escursione tipica.



Parametri di progetto per avere un tempo di propagazione basso

$$t_{PHL} = \frac{2C_L}{\beta_n (V_{DD} - V_T)} \left\{ \frac{V_T}{V_{DD} - V_T} + \frac{1}{2} \ln \left(\frac{3V_{DD} - 4V_T}{V_{DD}} \right) \right\}$$

Supponiamo $V_{DD} \gg V_T$ e semplifichiamo questa relazione

$$t_{PHL} = \frac{2C_L}{\beta_n V_{DD}} \left\{ \frac{\frac{V_T}{V_{DD}}}{1 - \frac{V_T}{V_{DD}}} + \frac{1}{2} \ln \left(3 - 4 \frac{V_T}{V_{DD}} \right) \right\}$$

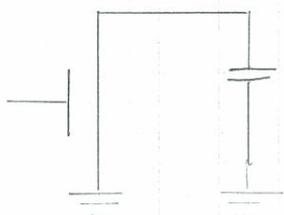
\uparrow trascurabile nei confronti dell'1 \uparrow rimane $\ln 3 \approx 1$

$$t_{PHL} = \frac{2C_L}{\beta_n V_{DD}} \left\{ \frac{V_T}{V_{DD}} + \frac{1}{2} \right\}$$

$$t_{PHL} \approx \frac{C_L}{\beta_n V_{DD}}$$

- $C_L \uparrow$ $t_p \uparrow$
- $\beta_n \uparrow$ $t_p \downarrow$
- $V_{DD} \uparrow$ $t_p \downarrow$

Aumentare V_{DD} significa aumentare l'escursione logica. Quindi anche la tensione necessaria a caricare la capacità. Allora perché il tempo di propagazione diminuisce? La corrente dipende a sua volta quadraticamente da V_{DD} . Quindi aumento molto di più la corrente rispetto all'escursione logica, quindi la corrente che t_p diminuisce. E' vero che devo caricare la capacità ad un valore di tensione più alto ma e' anche vero che devo sto portand più corrente.



$$I_{DS_{LIN}} = \beta_n \left\{ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right\}$$

$$I_{DS_{SAT}} = \frac{\beta_n}{2} (V_{GS} - V_T)^2$$

$V_{DD} \uparrow$ V_{GS}

Ma aumentando V_{DD} il circuito consuma di meno.

Altra osservazione:

$$\beta_n = C_{ox} \mu_n \frac{W}{L}$$

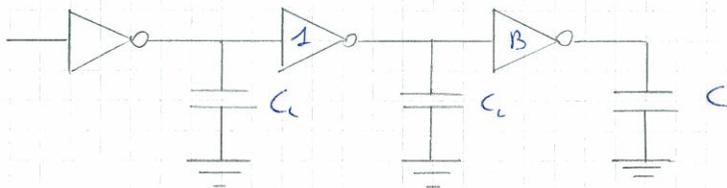
$$C_L = d C_0 = d C_{ox} W L$$

$$t_p = \frac{C_L}{\beta_n V_{DD}} = \frac{d C_{ox} W L}{C_{ox} \mu_n \frac{W}{L} \cdot V_{DD}} = \frac{d}{\mu_n} \cdot \frac{L^2}{V_{DD}}$$

Il tempo di propagazione non dipende dalla larghezza del MOS ma dalla sua lunghezza. Da qui l'ulteriore necessità di tenere L al minimo.

$$t_p = \frac{d}{\mu_n} \cdot \frac{L^2}{V_{DD}} \quad L = L_{min}$$

Dimensionamento dello stadio Buffer



Finora

abbiamo detto che aumentando il numero di invertitori tra uno e l'altro lo sempre la stessa capacità. Ma io a un certo punto il mio circuito è collegato al mondo esterno, è collegato a un PAD. Ma più il pad, che è un parallelo di metallo che sotto di se vede il semiconduttore, è una capacità parassita. Poi anche il pin è un conduttore con una sua capacità parassita. Stessa cosa è le piste della board. Quindi non vedo più C_L ma una capacità C di dimensioni molto maggiori a C_L . Quindi l'ultimo invertitore vede una C molto più grande.

Il tempo di propagazione dell'ultimo stadio è

$$t_{PB} = \frac{C}{\beta V_{DD}}$$

↑
 β_n quando carico, β_p quando scarico

C è molto grande \rightarrow t_{PB} è molto grande.

Quindi tanto inutile cercare di progettare volte ~~tra~~ il circuito, dato che comunque l'ultimo stadio mi rallenta.

Però allora di dimensionare opportunamente l'ultimo stadio.

$$t_{PB} = \frac{C}{\beta_B V_{DD}} \quad \beta_B \uparrow \quad W_B \uparrow$$

$$t_{P1} = \frac{C_L}{\beta V_{DD}}$$

Se aumento il β dello stadio B (per diminuire t_{PB}) vuol dire che devo fare W_B grande, perché β è proporzionale a W_B .
Ma se faccio così

$$C_L \propto C_0 \times \beta \times W_B \times L$$

questa C_L cresce tanto, ma allora sto aumentando il tempo di propagazione dello stadio 1. Quindi non è vero che ho migliorato le cose:

Però se spostato il problema più all'interno. Vogliamo trovare il dimensionamento ottimo dello stadio B senza compromettere troppo t_{P1} .

Poniamo

$$C = R C_L = R C_0$$

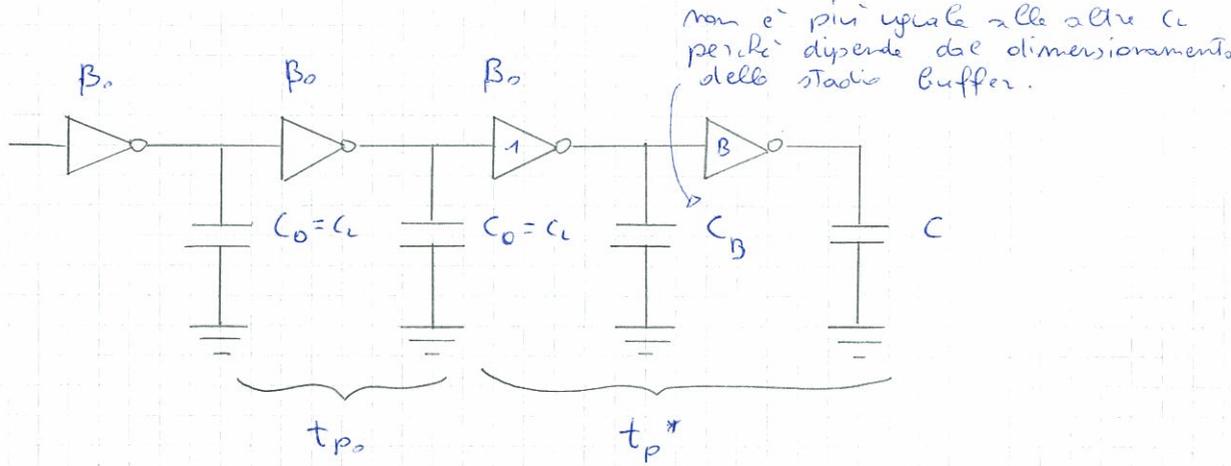
È lecito infatti dire che la capacità C è R volte più grande della capacità C_L .
moltiplico e divido per C_L

$$t_{PB} = \frac{C}{\beta_B V_{DD}} = \frac{C}{C_L} \cdot \frac{C_L}{\beta_B V_{DD}} = R \frac{C_L}{\beta_B V_{DD}}$$

Chiamiamo

$$t_p^* = t_{P1} + t_{PB}$$

! NB: è C_0 (C zero) di questa lezione non è C_0 (C'0) delle nuove lezioni.



$$t_p^* = t_{p1} + t_{pB} =$$

(per ottenere il min t_p possibile)

Normalmente se cambia β_n cambiano anche i β precedenti. Approssimiamo però che i β rimangano tutti uguali e uguali a β_0 .

$$t_p^* = t_{p1} + t_{pB} = \frac{C_B}{\beta_0 V_{DD}} + \frac{C}{\beta_B V_{DD}}$$

$$W_B = K W_0 \quad \frac{W_B}{W_0} = K$$

$$\beta_B = G \times \mu \frac{W_B}{L} \quad \beta_0 = G \times \mu \frac{W_0}{L}$$

$$\frac{\beta_B}{\beta_0} = \frac{W_B}{W_0} = K$$

$$\left. \begin{aligned} C_B &= G \times W_B L \\ C_0 &= G \times W_0 L \end{aligned} \right\} \frac{C_B}{C_0} = K$$

o K e L sono uguali e K terzo $L = L_{min}$

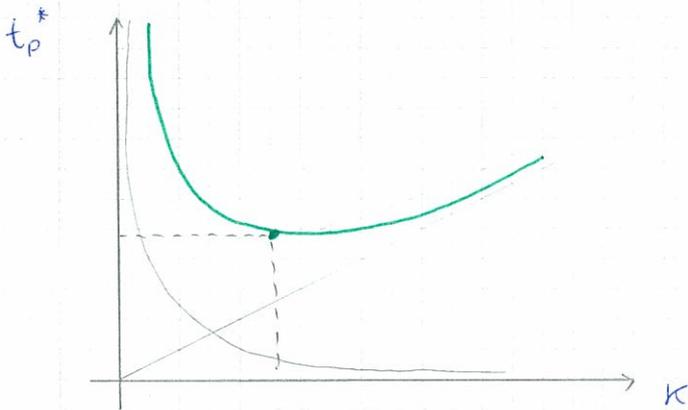
$$t_p^* = \frac{C_B}{C_0} \cdot \frac{C_0}{\beta_0 V_{DD}} + \frac{C}{\frac{\beta_B}{\beta_0} \beta_0 V_{DD}} = K \frac{C_0}{\beta_0 V_{DD}} + \frac{C}{K \beta_0 V_{DD}} =$$

$$= K \frac{C_0}{\beta_0 V_{DD}} + \frac{C}{C_0} \frac{C_0}{K \beta_0 V_{DD}} = K \frac{C_0}{\beta_0 V_{DD}} + R \frac{C_0}{K \beta_0 V_{DD}} =$$

$$= \frac{C_0}{\beta_0 V_{DD}} \left(k + \frac{R}{k} \right) = t_{p_0} \left(k + \frac{R}{k} \right)$$

dove ricordiamo che k è il fattore che mi dice di quanto W_3 deve essere maggiore del W dello stadio precedente.

$$t_p^* = t_{p_0} \left(k + \frac{R}{k} \right) \quad \leftarrow \text{retta + iperbole}$$



Questa funzione ammette un minimo. Il k in corrispondenza del quale ho il minimo mi dà il fattore di dimensionamento ottimo.

$$\frac{dt_p^*}{dk} = t_{p_0} \left(1 - \frac{R}{k^2} \right) = 0$$

$$1 - \frac{R}{k^2} = 0 \quad 1 = \frac{R}{k^2} \quad k = \sqrt{R}$$

$$t_{p_{min}}^* = t_{p_0} \left(\sqrt{R} + \frac{R}{\sqrt{R}} \right) = t_{p_0} \cdot 2 \cdot \sqrt{R}$$

dove R è il fattore di proporzionalità tra le capacità C e C_0 .

$$C = R C_0$$

$$R = \frac{C}{C_0} = \frac{C}{C_B} \cdot \frac{C_B}{C_0} = \frac{C}{C_0} \quad k = \frac{C}{C_B} \sqrt{R}$$

$$R = \frac{C}{C_B} \sqrt{R} \Rightarrow \frac{C}{C_B} = \sqrt{R}$$

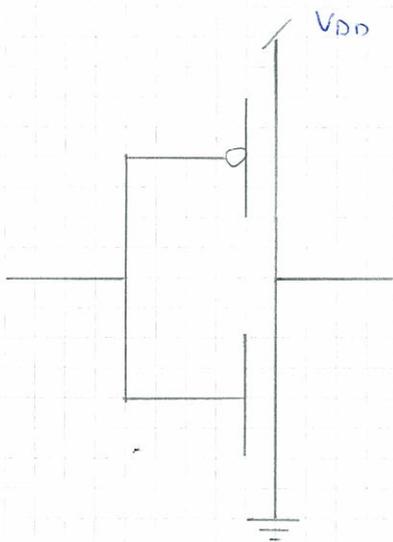
$$\frac{C}{C_B} = \frac{C_B}{C_0} = \sqrt{R}$$

C_B è la media proporzionale tra C e C_0 . Nota C può ricavare C_B e da qui i W e da qui i β .

Potevi però pensare di andare avanti in questo modo e pensare di migliorare ulteriormente il tempo di propagazione ottimizzando nel modo ottimale anche gli stadi precedenti. Noi però questo non lo vediamo.

POTENZA

Se noi abbiamo delle correnti che variano dobbiamo parlare di potenza istantanea. A noi però interessa valutare una potenza mediata su un periodo. Andiamo a valutare la potenza assorbita da circuiti in logica CMOS.



In condizioni stazionarie

$$V_{IN} = V_H \Rightarrow V_{AT} = V_L$$

NMOS ON

PMOS OFF

La potenza statica assorbita è nulla (PMOS OFF)

$$V_{in} = V_L \quad \Rightarrow \quad V_{out} = V_H$$

NMOS OFF

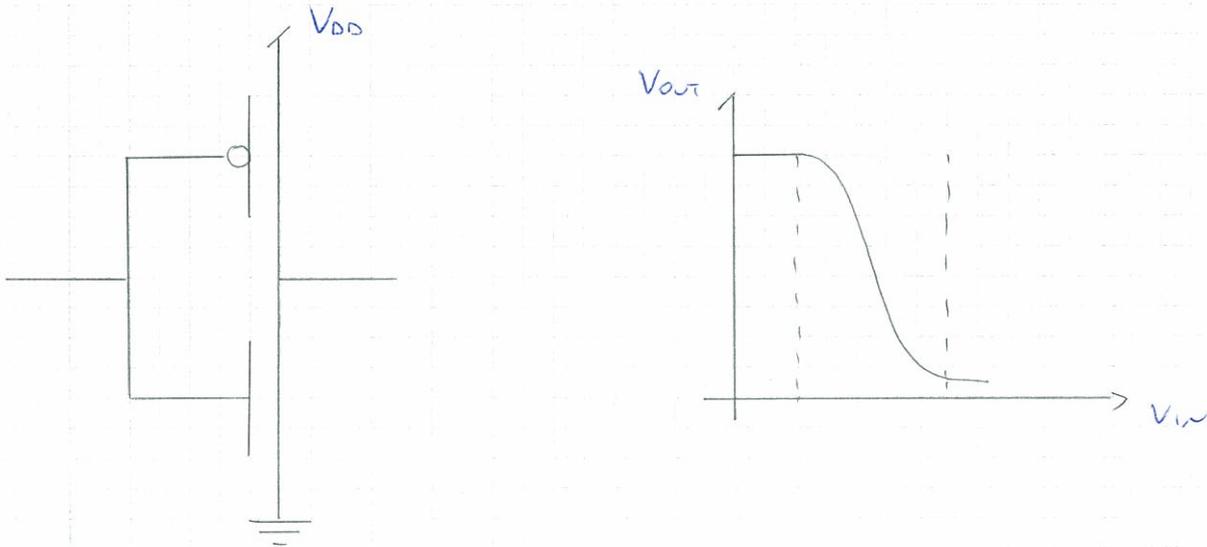
PMOS ON

Anche in questo caso la potenza statica dissipata è nulla (NMOS OFF).

Questo perché non circola corrente.

Uno dei grandi vantaggi delle Bridge CMOS è che in condizioni stazionarie

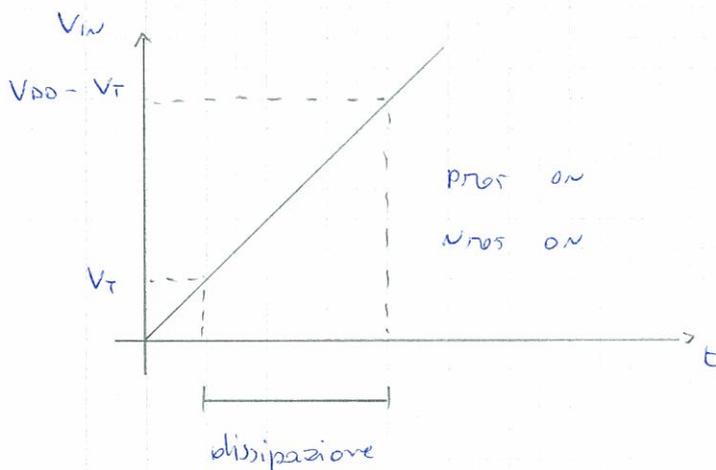
la potenza dissipata è nulla. Ma in condizioni dinamiche?



Se l'ingresso non varia più istantaneamente, ma ad es. linearmente,

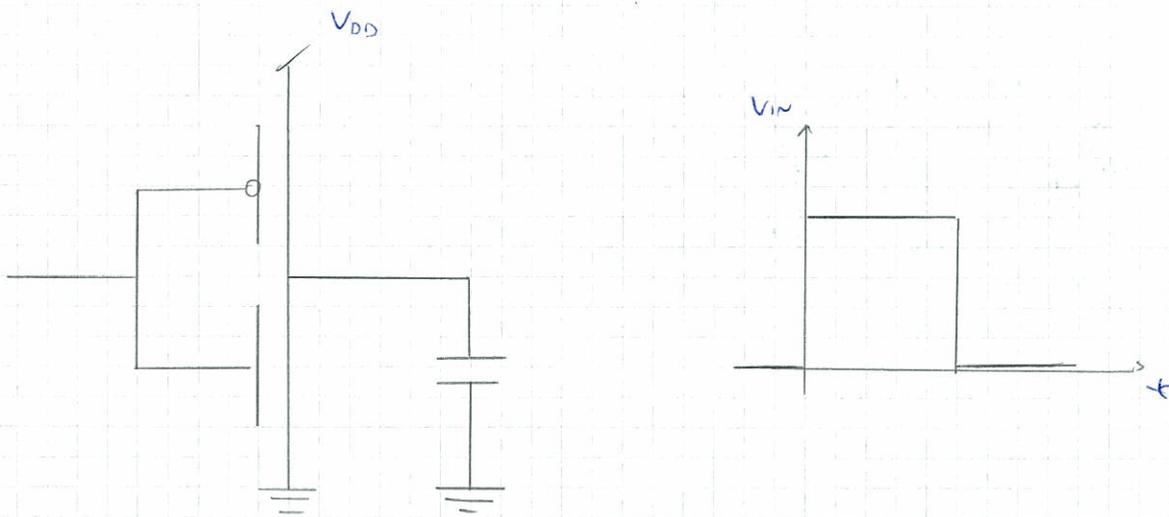
allora abbiamo delle situazioni in cui entrambi i MOS sono accesi.

Durante la transizione abbiamo quindi una dissipazione di potenza.



Questa potenza dinamica si chiama POTENZA DI CORTOCIRCUITO

$P_{\text{cortocircuito}}$

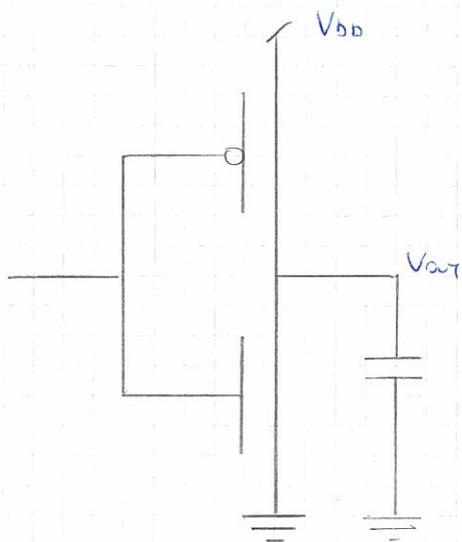


In questo caso la potenza dissipata anche se l'ingresso non varia istantaneamente. Questa si chiama POTENZA ASSOCIATA AL CARICO

$P_{\text{associata al carico}}$

Quindi abbiamo due potenze che dobbiamo analizzare globalmente. Se considero il condensatore e suppongo una V_{in} che non varia istantaneamente la entrambe le potenze.

Noi le analizziamo separatamente e poi le sommiamo, anche se non si potesse, perché va applicato solo ai sistemi lineari. lo facciamo per avere una prima stima della potenza dissipata.

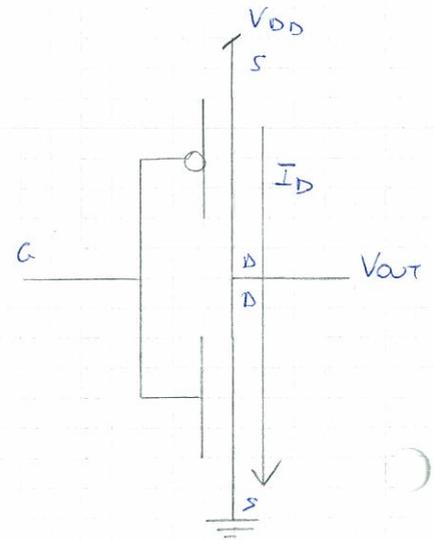
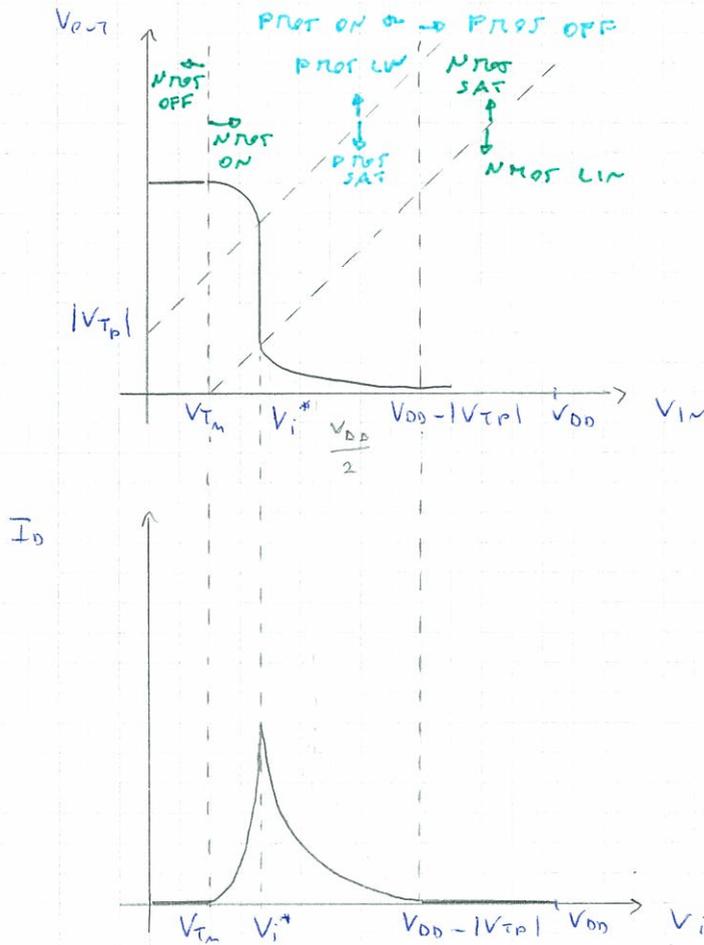


$$P_{\text{statica}} = 0$$

P_{cc}

$P_{\text{associata al carico}}$

Cominciamo i calcoli. Partiamo dalla caratteristica statica



$$V_{Tn} < V_{in} < V_{i}^* \quad \text{NMOS SAT}$$

$$I_D = \frac{\beta_n}{2} (V_{GS} - V_{Tn})^2 = \frac{\beta_n}{2} (V_{in} - V_{Tn})^2$$

$$V_{i}^* < V_{in} < V_{DD} - |V_{TP}| \quad \text{PMOS SAT}$$

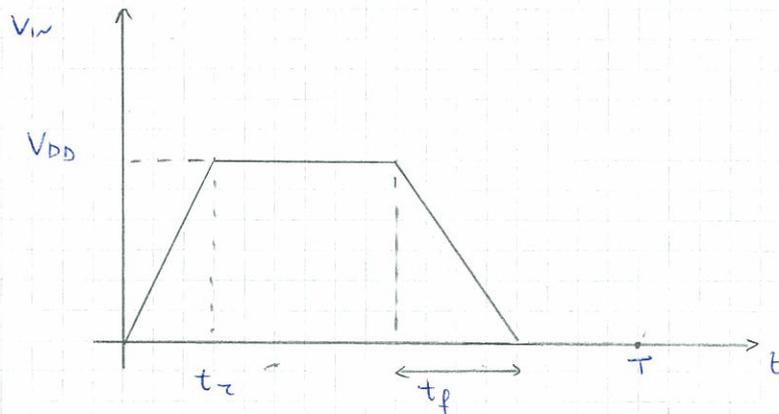
$$I_D = \frac{\beta_p}{2} (V_{SD} - |V_{TP}|)^2 = \frac{\beta_p}{2} (V_{DD} - V_{in} - |V_{TP}|)^2$$

$$V_{SGp} = V_S - V_G = V_{DD} - V_{in}$$

NOTA: la caratteristica è simmetrica quando $\beta_n = \beta_p$ e $V_{Tn} = |V_{TP}|$. In questo caso i due andamenti di corrente a dx e sx di V_{i}^* sono uguali.

Pcc

Supponiamo che in uscita non sia connesso alcun carico e supponiamo che l'ingresso abbia un andamento di questo tipo.



supponiamo il segnale
è periodico di periodo T

t_r = tempo necessario affinché l'ingresso vada da 0 a V_{DD} ($\neq t_{rise}!!$)

t_f = " " " " " " " " V_{DD} " 0

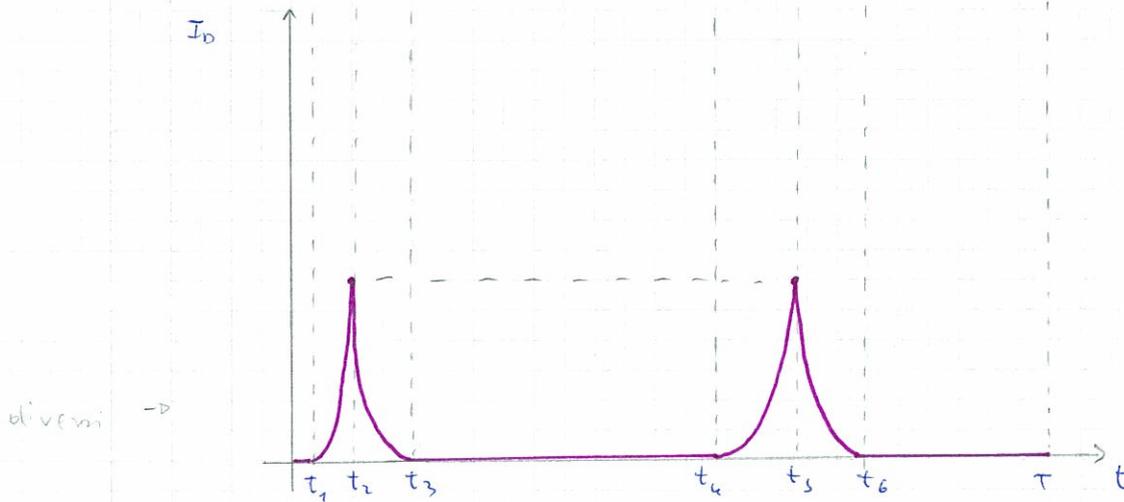
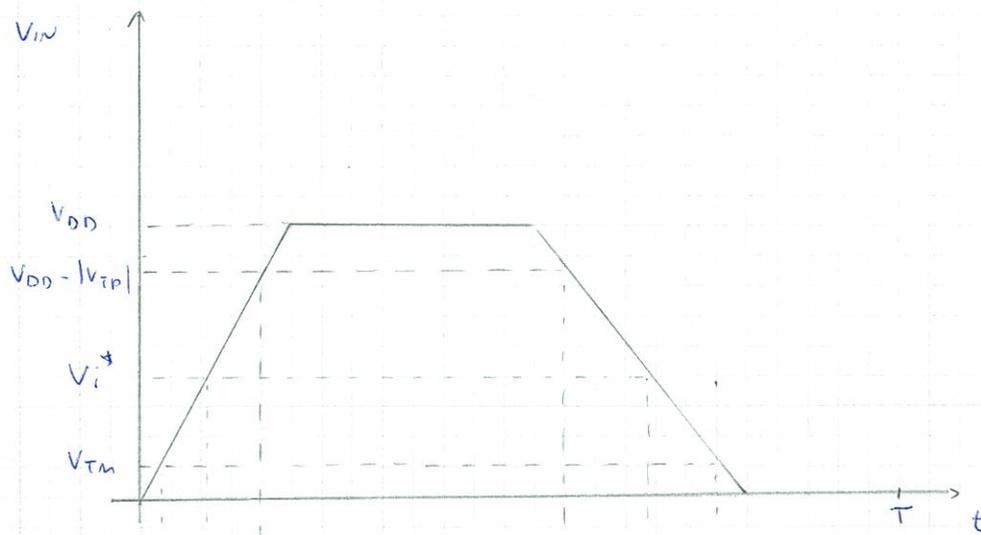
A noi interessa la potenza su un periodo.

$$\tilde{P}_{cc} = \frac{1}{T} \int_0^T P_{ist}(t) dt$$

P_{ist} = potenza istantanea.

$$P_{ist} = V_{DD} \cdot I_D(t)$$

Fintanto che $V_{in} < V_{TH}$ l'input è spento e quindi non circola corrente. Torna uguale a zero quando diventa $V_{in} > V_{DD} - |V_{th}|$. Se è nulla anche non appena ritorna $V_{in} < V_{TH}$ e rimane a zero fino a T. Poi abbiamo visto che la corrente raggiunge il massimo per V_{in}^* .



$$\tilde{P}_{cc} = \frac{1}{T} \int_0^T V_{DD} I_D(t) dt =$$

$$= \frac{V_{DD}}{T} \left[\int_0^{t_1} I_D(t) dt + \int_{t_1}^{t_2} I_D(t) dt + \int_{t_2}^{t_3} I_D(t) dt + \int_{t_3}^{t_4} I_D(t) dt + \int_{t_4}^{t_5} I_D(t) dt + \int_{t_5}^{t_6} I_D(t) dt + \int_{t_6}^T I_D(t) dt \right]$$

$$\tilde{P}_{cc} = \frac{V_{DD}}{T} \left[\int_{t_1}^{t_2} \frac{\beta_n}{2} (v_{in} - v_{TM})^2 dt + \int_{t_2}^{t_3} \frac{\beta_p}{2} (V_{DD} - v_{in} - |V_{TP}|)^2 dt + \int_{t_4}^{t_5} \frac{\beta_p}{2} (V_{DD} - v_{in} - |V_{TP}|)^2 dt + \int_{t_5}^{t_6} \frac{\beta_n}{2} (v_{in} - v_{TM})^2 dt \right]$$

Questa è la formula più generale possibile. Supponiamo però

$$\beta_n = \beta_p$$

$$V_{TM} = |V_{TP}| = V_T$$

sono le condizioni che vorremmo si verificassero
 → in modo da avere una caratteristica simmetrica.

In questo modo abbiamo dei termini uguali tra loro. // //

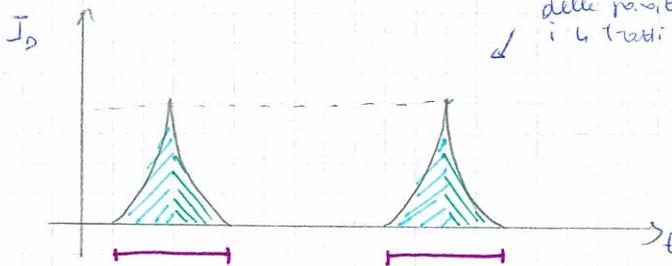
Se ora facciamo l'ulteriore ipotesi:

$$t_2 = t_1$$

risultano uguali tra di loro i termini //

Sul grafico lo imposto

ho ancora tutti 4 parabole perché v_{in} aumenta linearmente. Se variasse in altro modo non avrei più delle parabole, ma sarebbe comunque l'uguaglianza fra i 4 termini.



← ora sono uguali.

Mi basta quindi calcolare una di queste aree e moltiplicarla per 4.

$$\tilde{P}_{cc} = \frac{4 V_{DD}}{T} \int_{t_1}^{t_2} \frac{\beta}{2} (v_{in} - V_T)^2 dt$$

Devo esprimere la v_{in} in funzione del tempo. Devo trovare l'eq. della mia retta. () e gli estremi di integrazione. Il coeff. angolare è

$$\frac{V_{DD}}{t_2} \quad (\text{tangente}) \quad \Rightarrow \quad v_{in} = \frac{V_{DD}}{t_2} t$$

Gli estremi di integrazione

$$v_{in}(t_1) = V_T$$

$$v_{in}(t_2) = v_i^* = \frac{V_{DD}}{2} \quad \leftarrow \text{se } \beta_n = \beta_p \text{ e } V_{TM} = |V_{TP}|$$

$$V_{in} = \frac{V_{DD}}{t_2} t$$

$$V_T = \frac{V_{DD}}{t_2} t_1 \quad \Rightarrow \quad t_1 = \frac{V_T t_2}{V_{DD}}$$

$$\frac{V_{DD}}{2} = \frac{V_{DD}}{t_2} t_2 \quad \Rightarrow \quad t_2 = \frac{t_2}{2}$$

$$\tilde{P}_{cc} = 4 \frac{V_{DD}}{T} \int_{\frac{V_T t_2}{V_{DD}}}^{\frac{t_2}{2}} \frac{\beta}{2} \left(\frac{V_{DD}}{t_2} t - V_T \right)^2 dt =$$

$$= \frac{4 V_{DD} \beta}{T} \frac{1}{2} \left[\frac{1}{3} \left(\frac{V_{DD}}{t_2} t - V_T \right)^3 \frac{t_2}{V_{DD}} \right]_{\frac{V_T t_2}{V_{DD}}}^{\frac{t_2}{2}} =$$

$$= \frac{2 V_{DD} \beta}{T} \left[\frac{1}{3} \left(\frac{V_{DD}}{t_2} \frac{t_2}{2} - V_T \right)^3 \frac{t_2}{V_{DD}} - \frac{1}{3} \left(\frac{V_{DD}}{t_2} \frac{V_T t_2}{V_{DD}} - V_T \right)^3 \frac{t_2}{V_{DD}} \right] =$$

$$= \frac{2 V_{DD} \beta}{T} \frac{t_2}{3 V_{DD}} \left[\left(\frac{V_{DD}}{2} - V_T \right)^3 \right] = \frac{\beta t_2}{3 T} \frac{V_{DD}^3}{8} \left(1 - \frac{2 V_T}{V_{DD}} \right)^3 =$$

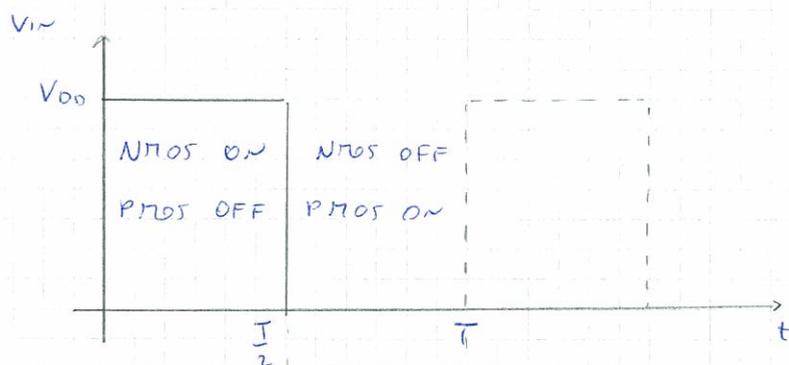
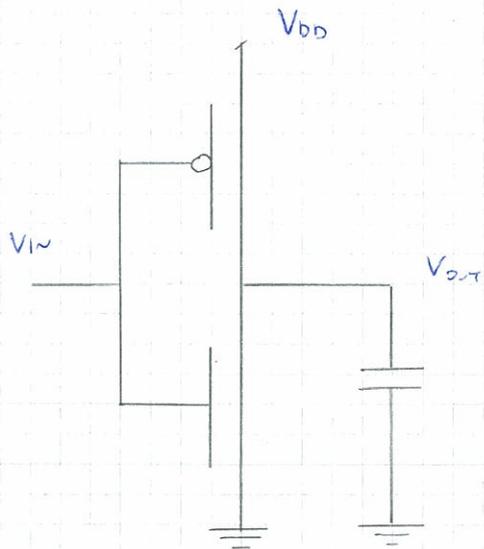
$$= \frac{\beta t_2}{12 T} V_{DD}^3 \left(1 - \frac{2 V_T}{V_{DD}} \right)^3$$

$$V_{DD} \gg V_T$$

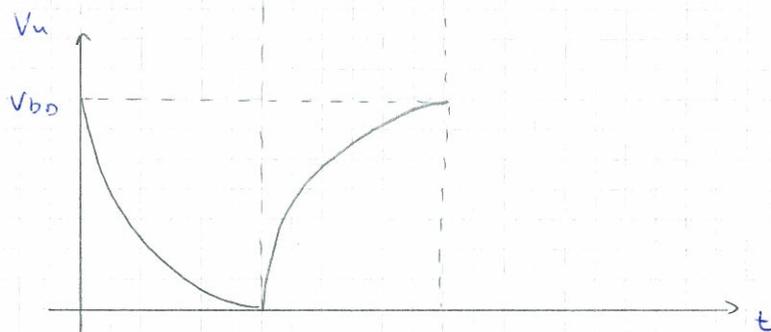
$$\tilde{P}_{cc} = \frac{\beta t_2}{12 T} V_{DD}^3$$

Dipende fortemente da V_{DD} . Aumentando V_{DD} (che era quella che ci faceva calare il tempo di propagazione) aumenta la potenza dissipata.

Potenza associata al carico P



Supponiamo variazioni istantanee dell'ingresso ($P_{CC} = 0$)



$$\tilde{P} = \tilde{P}_n + \tilde{P}_p + \tilde{P}_c$$

potenza dissipata nell'NMOS

potenza dissipata nel PMOS

potenza dissipata sul condensatore

$$\tilde{P}_C = \frac{1}{T} \int_0^T V_C I_C dt =$$

$$= \frac{1}{T} \int_0^T V_u C \frac{dV_u}{dt} dt = \frac{C}{T} \left[\frac{1}{2} V_u^2 \right]_0^T$$

Ma $V_u(0) = V_{DD}$ e $V_u(T) = V_{DD}$

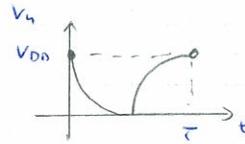
$$\tilde{P}_C = 0$$

I_C = corrente sul condensatore

V_C = tensione " "

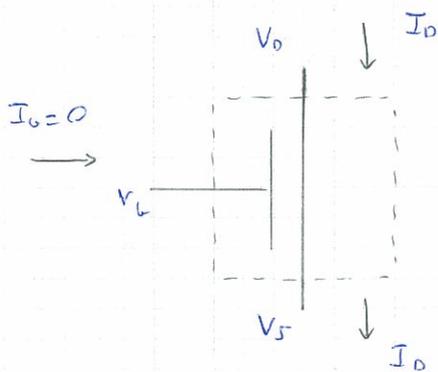
$$V_C = V_u$$

$$I_C = C \frac{dV_u}{dt}$$



Complessivamente la potenza dissipata risulta nulla (e in effetti in un semiperiodo il condensatore si carica e in quello successivo si scarica).

Consideriamo l'NMOS



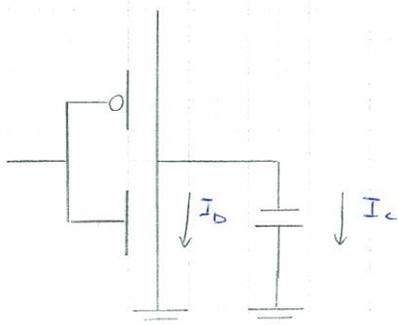
$$P = V_D I_D - V_S I_D + \cancel{V_G I_G} = I_D V_{DS}$$

$$\tilde{P}_M = \frac{1}{T} \int_0^T V_{DS} I_D dt = \frac{1}{T} \int_0^{\frac{T}{2}} V_u I_D dt + \int_{\frac{T}{2}}^T \cancel{V_u I_D} dt =$$

$$= \frac{1}{T} \int_0^{\frac{T}{2}} V_u I_D dt$$

$$\frac{T}{2} < t < T$$

NMOS OFF



$$I_D = -I_C = -C \frac{dV_u}{dt}$$

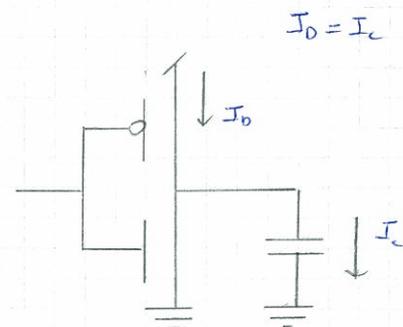
$$V_u(0) = V_{DD}$$

$$V_u\left(\frac{T}{2}\right) = 0$$

$$\begin{aligned} \tilde{P}_n &= \frac{1}{T} \int_0^{\frac{T}{2}} -V_u C \frac{dV_u}{dt} dt = -\frac{C}{T} \left[\frac{1}{2} V_u^2 \right]_{V_{DD}}^0 = -\frac{C}{T} \frac{1}{2} (-V_{DD}^2) = \\ &= \frac{C}{2T} V_{DD}^2 = \frac{1}{2} C f V_{DD}^2 \quad f = \text{frequenza.} \end{aligned}$$

la potenza media sul pmos

$$\begin{aligned} \tilde{P}_p &= \frac{1}{T} \int_0^T V_{SD} I_{SD} dt = \frac{1}{T} \int_{\frac{T}{2}}^T (V_{DD} - V_u) C \frac{dV_u}{dt} dt = \\ &= \frac{C}{T} \int_0^{V_{DD}} (V_{DD} - V_u) dV_u = \\ &= \frac{C}{T} \left[-\frac{1}{2} (V_{DD} - V_u)^2 \right]_0^{V_{DD}} = \frac{1}{2} C f V_{DD}^2 \end{aligned}$$



Quindi concludendo

$$\tilde{P} = \tilde{P}_n + \tilde{P}_p + \tilde{P}_c = C f V_{DD}^2$$

$$\tilde{P} = C f V_{DD}^2$$

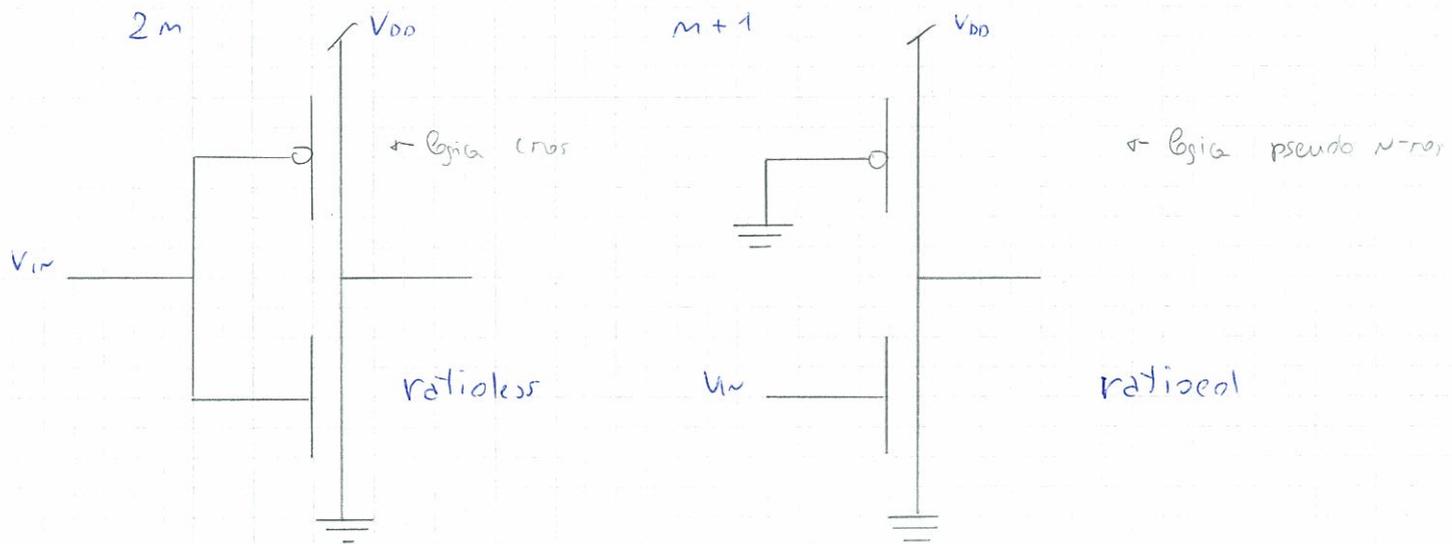
Anche in questo caso la potenza dissipata dipende dalla tensione di alimentazione.

Delle due potenze la più rilevante è quella associata al carico, perché lavoriamo a frequenze sempre più veloci.

L'aveva circuiti più piccoli fa sì che siano anche più veloci per cui i fronti di salita di V_{in} sono molto ripidi: P_{cc} è quasi trascurabile.

LOGICHE DI TIPO DINAMICO

$m = n^{\circ}$ di ingressi



Se confronto un invertitore CMOS e un invertitore NMOS:

V_{DD} & capacità in ingresso più & somma delle capacità equivalenti del PMOS e dell'NMOS.

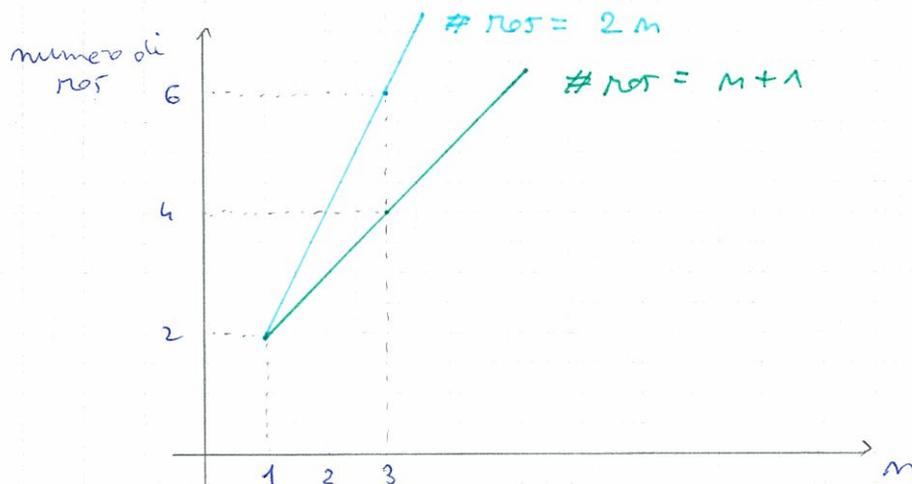
V_{DD} solo & capacità sull'ingresso e da quelle di un NMOS

Quindi la capacità del CMOS potrebbe essere maggiore (potrebbe perché qui possiamo tenere le dimensioni minime, mentre l'altra è una logica a rapporto, abbiamo aree grandi e quindi capacità più grandi).

Consumo d'area: ogni ingresso che aggiungiamo dobbiamo aggiungere il numero di PMOS e NMOS
 m trans. $\rightarrow 2m$

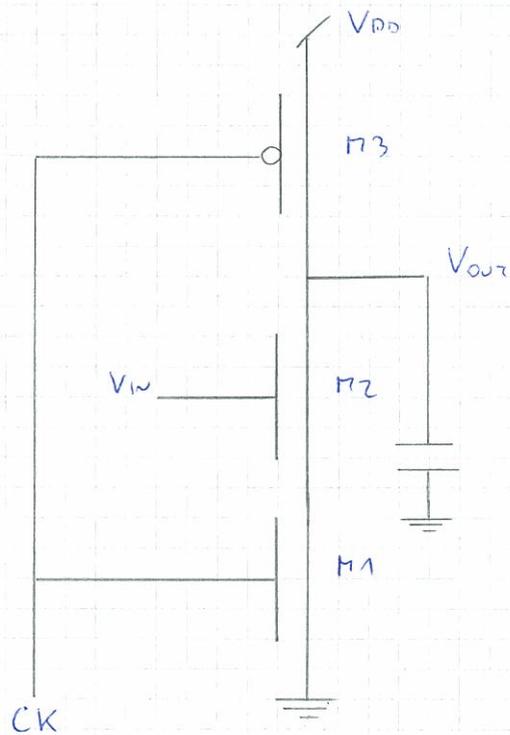
Ma aumentando il pull-down ma il pull-up rimane sempre lo stesso
 m trans $\rightarrow m+1$

Se riprovo in grafico il n° di MOS in funzione degli ingressi:



Da questo punto di vista è migliore la logica a rapporto. Per quanto riguarda area occupata e capacità, invece, dipende. Tra l'altro la logica a rapporto ha un consumo di potenza stabile nullo, l'altro no.

Vorrei mettere insieme i pregi di entrambe le logiche. Potremmo prendere la logica a rapporto e pensare di comandare accensione e spegnimento con un unico segnale. Questo segnale è un segnale di clock.



$CK = 1$

M1 ON

M3 OFF

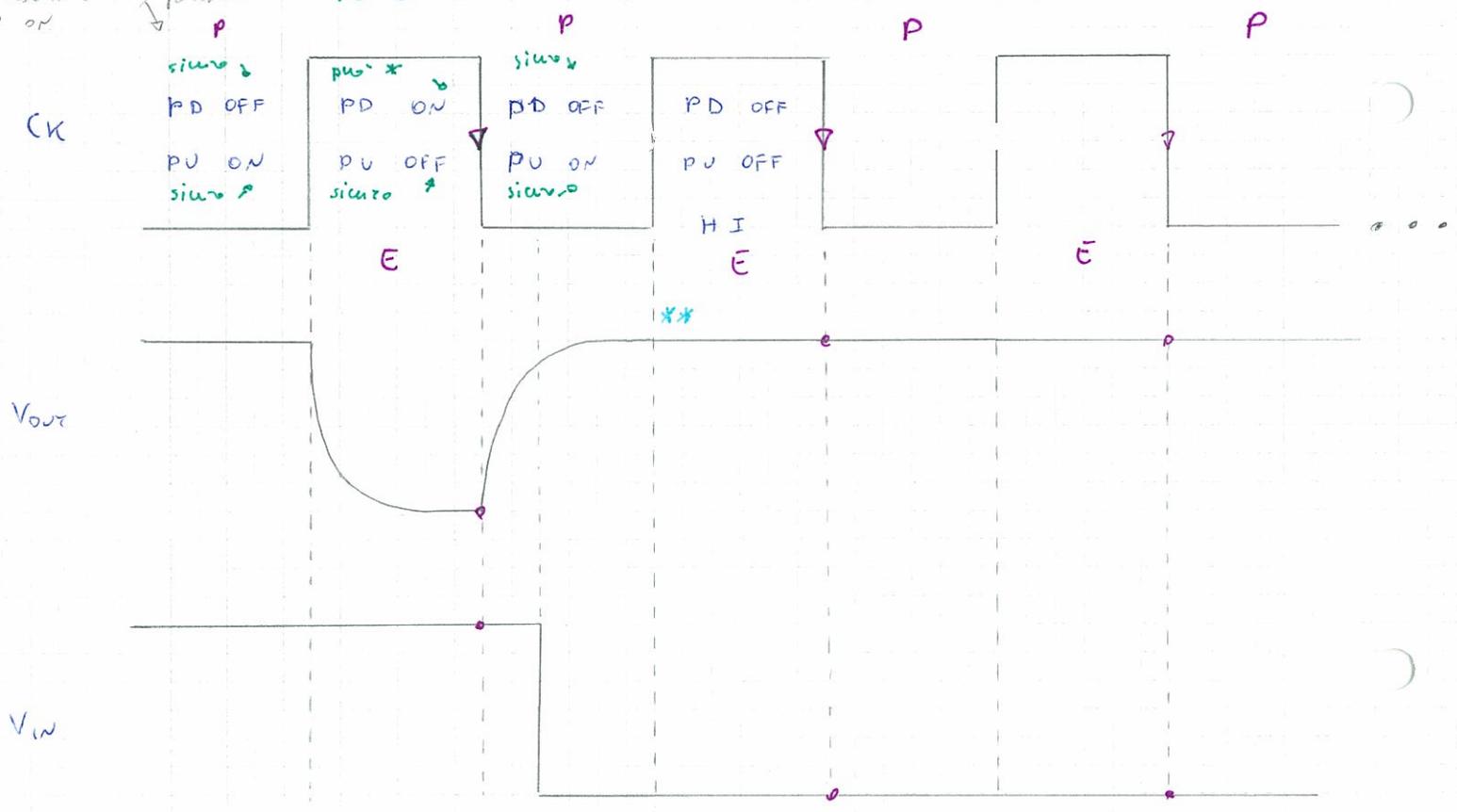
$CK = 0$

M1 OFF

M3 ON

indipendentemente da cui che fa l'ingresso l'uscita è alta perché la PU ON

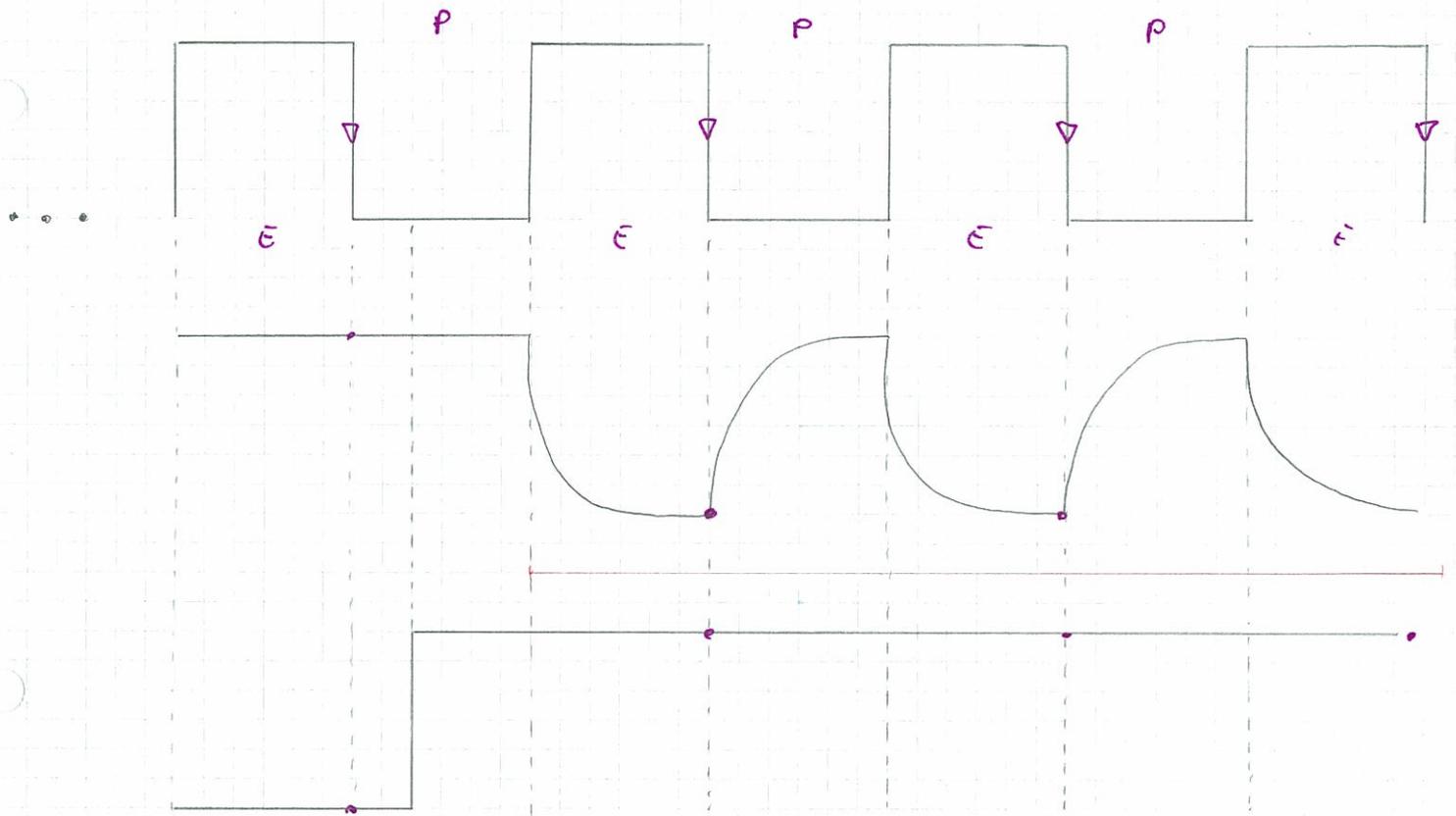
* dipende da V_{in} .
 se V_{in} alto allora PD ON



* Cosa succede? Nella fase prima il condensatore si è caricato. Ora è isolato. Mantiene lo stato che aveva raggiunto precedentemente (tensione ai suoi capi pari a V_{DD} alta). Questa situazione con PD OFF e PU OFF si chiama **SITUAZIONE DI ALTA IMPEDENZA**

- A. I.
- H. I.

Tutte le volte che ci troviamo in questa situazione rimane memorizzata ai capi del condensatore l'informazione dello stato precedente. Quindi questa volta il condensatore visto come elemento di memoria, è un elemento positivo. E io non lo devo costruire: è la capacità C_c che abbiamo visto. Si, sfruttando la capacità dei transistori.



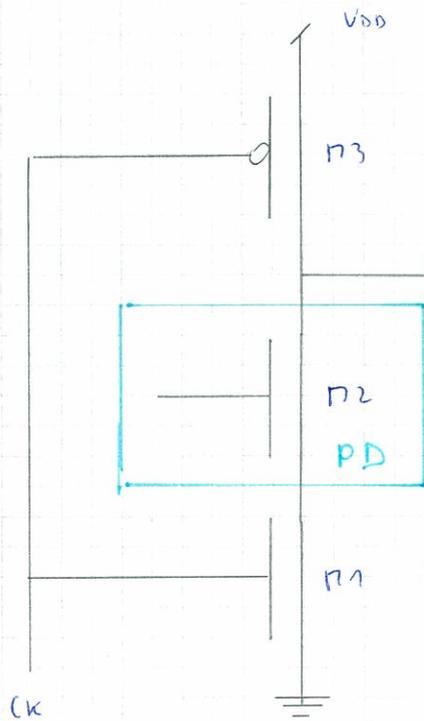
Ma quindi con f questo circuito? (ke ore)? Possiamo a valutare il comportamento in corrispondenza dei fronti di discesa del clock. Se campiamo il segnale di uscita sui fronti di discesa del clock il circuito disegnato si comporta da invertitore. Però per definire bene l'istante di campionamento (non si campate sempre con!). Le fasi in cui il u è basso sono dette "FASE DI PRECARICA" (nel periodo successivo il valore va alto). Nelle altre fasi il valore dell'uscita dipende da V_{in} . Le fasi con $u=1$ sono dette fasi di VALUTAZIONE (EVALUATION). Si parla di "inverter in ϕ precharge - evaluation".

INV LOG PE

nota: Nella fase di valutazione il segnale di uscita o rimane costante o va basso (non è mai possibile la situazione inversa, perché nella fase P il condensatore si carica).

Anche in questi casi in condizioni statiche (esclusi i transitori) la potenza statica dissipata è nulla (ke sempre $P_U = P_D = 0$).

È una logica a rapporto? No. Qui non abbiamo problemi del tipo "se non dimensiono opportunamente qualche MOS l'uscita non va alla tensione bassa".



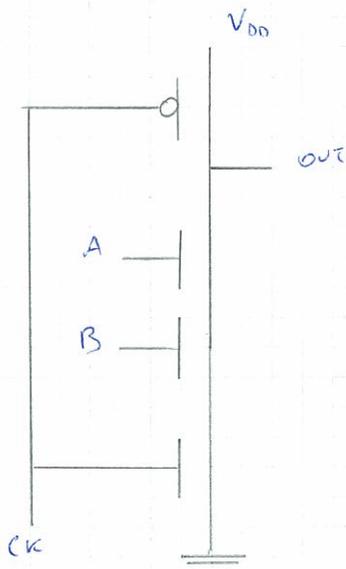
numero MOS = $n+2$

Se voglio creare porte più complicate devo lavorare solo sul pull-down, con lo stesso ragionamento visto in precedenza. Supponiamo di voler realizzare la funzione

$$Y = \overline{A \cdot B}$$

$$Y = 0 \quad AB = 1$$

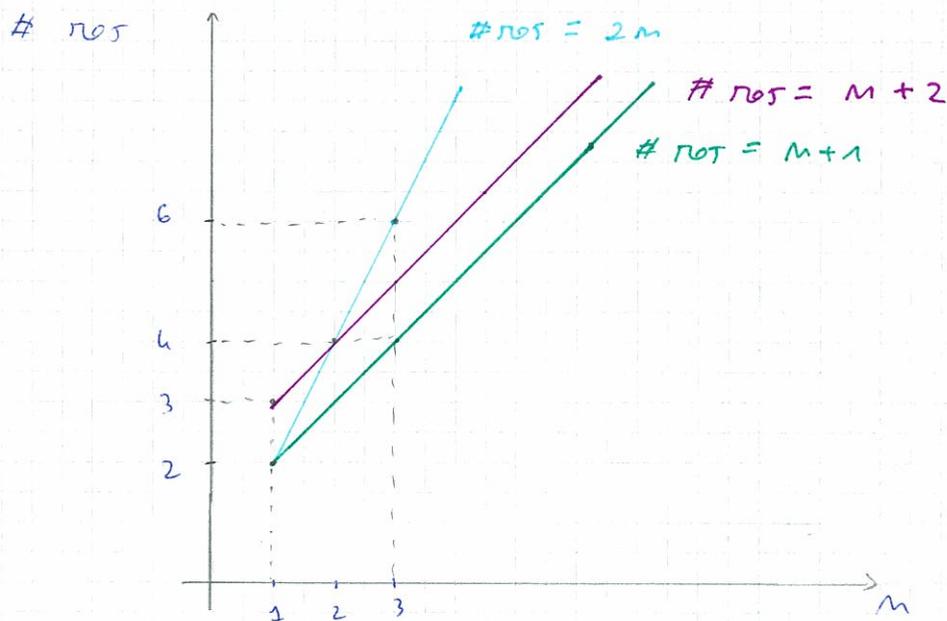
$$A = 1 \quad e \quad B = 1$$



$m+2$:

è leggermento peggio a $m+1$ ma è una β ia τ tiobes: posso drasticamente diminuire le dimensioni, inoltre posso diminuire le capacità.

Ma non è tutto rose e fiori: peggiora la potenza dinamica. Qui // anche se l'ingresso è sempre 1 l'uscita continua ad oscillare: la potenza dinamica sta aumentando \Rightarrow impatto significativo sui consumi.

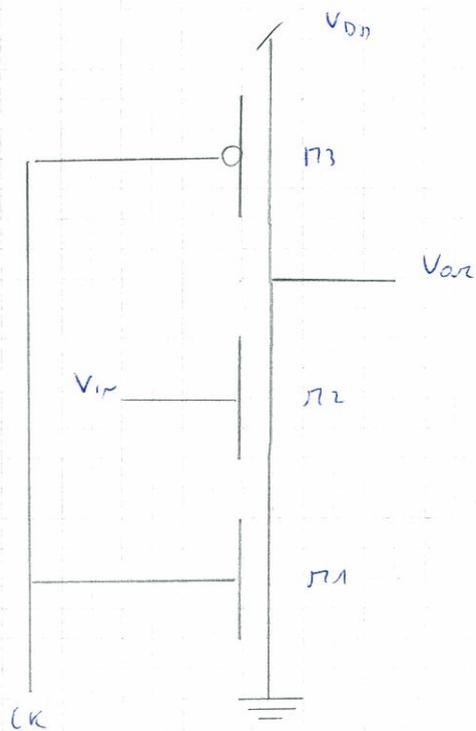


Calcolo del margine di immunità ai disturbi:

Come lo calcoliamo? Qui non riusciamo a disegnare una caratteristica statica.

Avevamo detto che il margine di immunità ai disturbi è quel margine di variazione del segnale di ingresso affinché il circuito risponda comunque bene.

Riprendiamo questa definizione.



Supponiamo $V_{IN} = V_L$
 M_2 OFF

Qual è il limite che tiene M_2 OFF?

$$V_L < V_T$$

$$NM_L = V_T$$

Supponiamo $V_{IN} = V_{DD}$
 M_2 ON

Fino a quando M_2 rimane ON? Fin tanto che

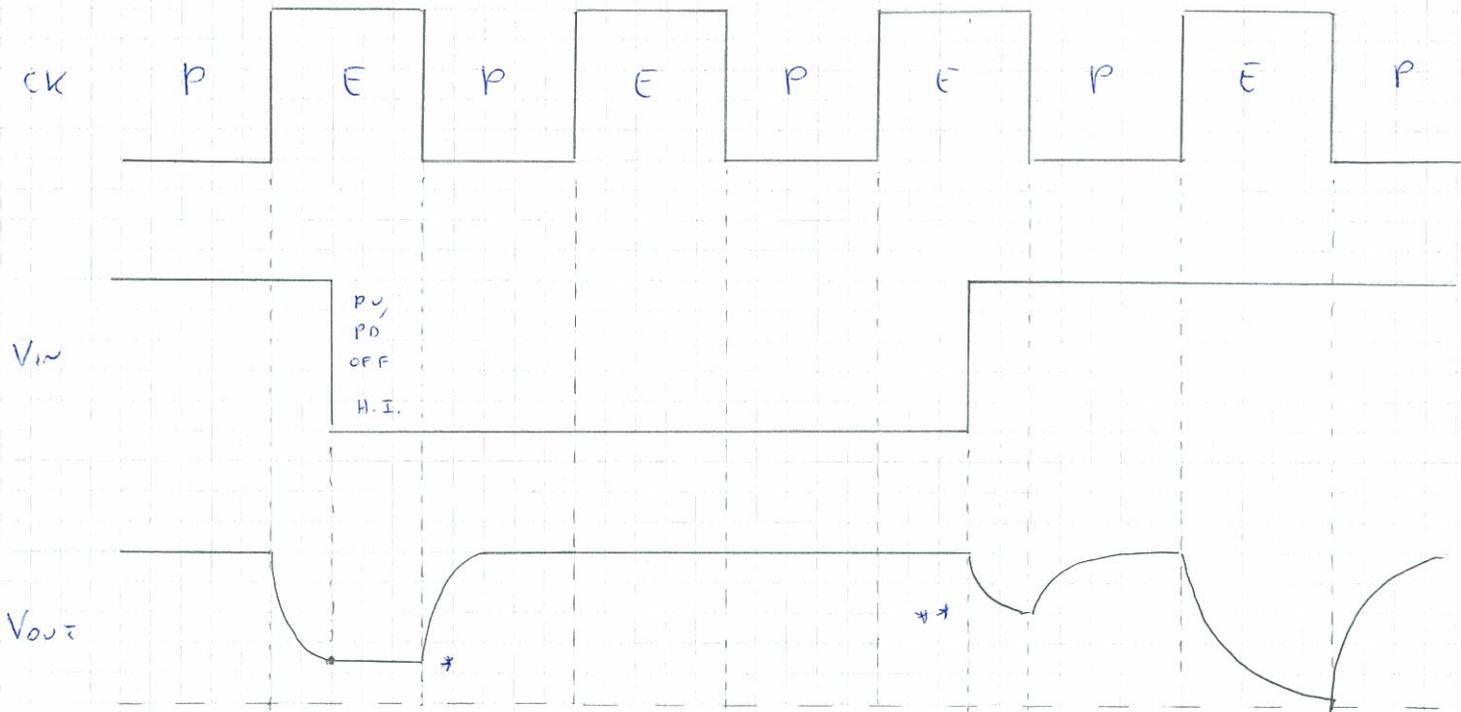
$$V_{IN} > V_T$$

$$NM_H = V_{DD} - V_T$$

Quindi

$$NM = V_T \quad (\text{il più piccolo dei due})$$

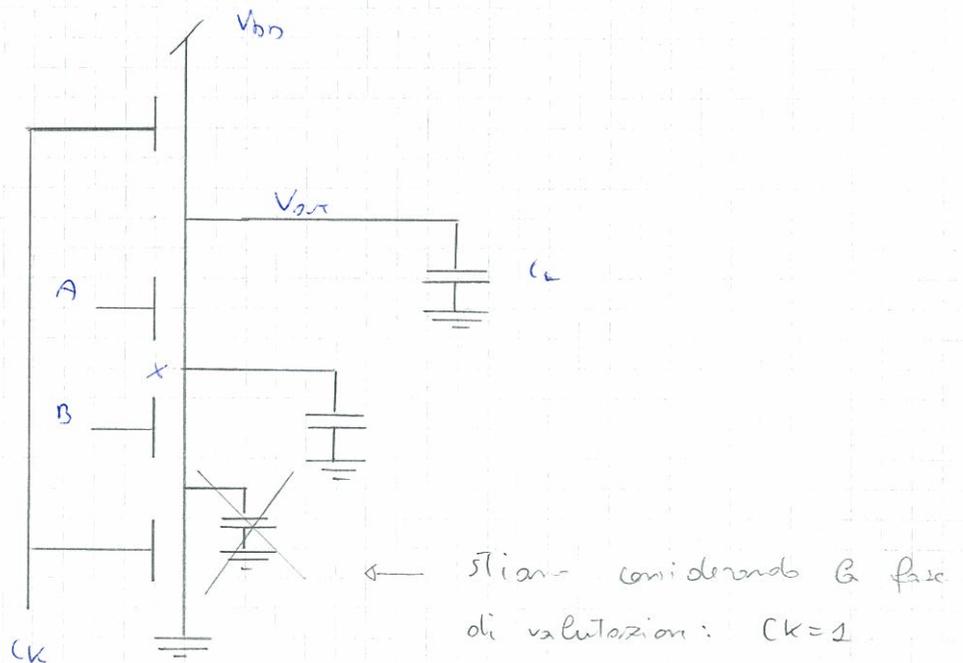
è un margine di immunità ai disturbi molto basso.



* , ** non so a che valore ci arrivato. Dipende da quanto è avvenuta la commutazione del segnale di ingresso. E a me non piace, perché sul fronte di discesa del clock voglio un valore certo per dividerlo $0,5$.

Quindi nella fase di valutazione il segnale di ingresso non può VARIARE.

Da ciò nasce un altro motivo per cui il segnale non può variare durante la fase di valutazione. Consideriamo una porta NAND a due ingressi in logica PE.



A	B	OUT
0	0	1
0	1	1
1	0	1
1	1	0

Supponiamo che A vari durante le fasi di stabilizzazione.

Consideriamo una capacità in uscita. In altri termini, abbiamo una capacità parassita? Sì, perché ogni mos è quella capacità parassita che deve considerare e a ogni modo ne mette una pezzettina.

$t < 0$ supponiamo

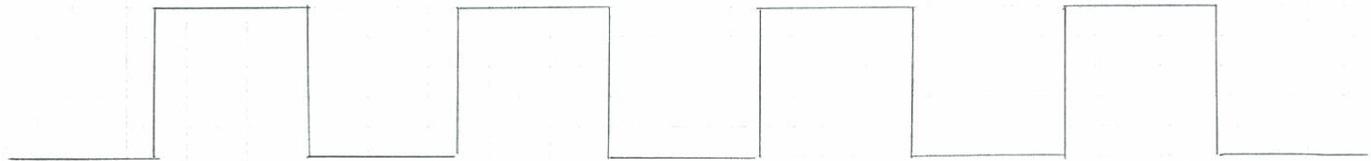
$$V_{out} = V_{DD}$$

$$V_x = 0$$

$$V_A = 0$$

$$V_B = 0$$

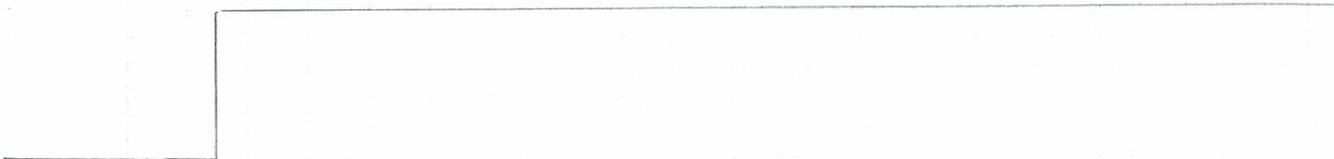
CK



B



A



$t=0$

$$t = 0^+$$

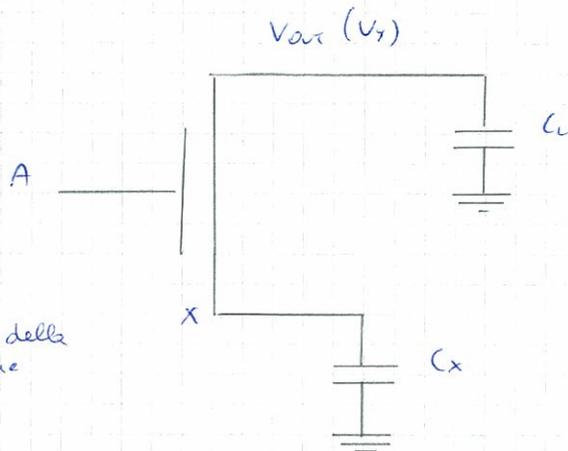
$$V_{out}(0^+) = V_{DD}$$

$$V_x(0^+) = 0$$

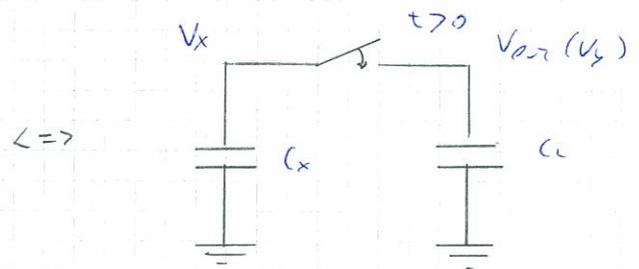
$$V_A(0^+) = V_{DD}$$

$$V_B(0^+) = 0$$

È come se dovessi studiare questo circuito, perché pu off (E), inoltre $B=0$, quindi il port a cui è connesso B e quello a cui è connesso il C_k sono isolati.



Si fa una ridistribuzione della carica sui due condensatori



A si comporta come un interruttore

dopo G passa pranzo...

$$t > 0$$

In t=0 sui condensatori avevo una carica $Q_x^- = C_x V_x^- = 0$ $Q_L^- = C_L V_y^-$. Per $t > 0$ vale il principio di conservazione della carica

$$Q^- = Q_x^- + Q_L^-$$

$$Q^+ = Q_x^+ + Q_L^+$$

$$Q^+ = Q^-$$

$$Q_x^+ = C_x V_x^+$$

$$Q_L^+ = C_L V_y^+$$

$$V_x^+ = V_y^+$$

$$Q^+ = (C_x + C_L) V_y^+$$

$$Q^- = Q^+$$

$$C_x V_x^- + C_L V_y^- = (C_x + C_L) V_y^+$$

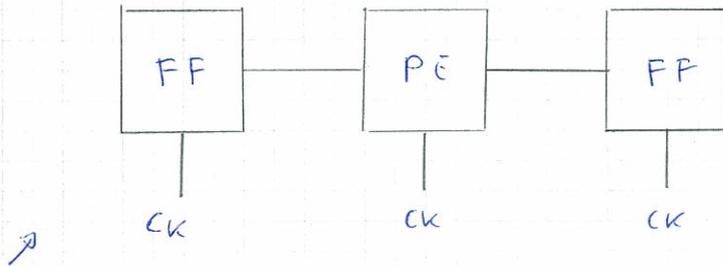
$$V_y^+ = \frac{C_x V_x^- + C_L V_y^-}{C_x + C_L} = \frac{C_L}{C_x + C_L} V_y^- = \frac{C_L}{C_x + C_L} V_{DD}$$

Ho avuto un abbassamento della tensione di uscita a causa della capacità parassita C_x .

Quindi in generale gli ingressi non possono variare in fase di validazione.
Nel caso di porte più complesse come il NAND è presenza della logica
parassita fa sì che ci siano dei malfunzionamenti. Quindi gli
ingressi possono variare solo in fase di...

Utilizzo di PE in circuiti sequenziali

Questa logica si presta facilmente ad essere interrotta in circuiti
sequenziali.



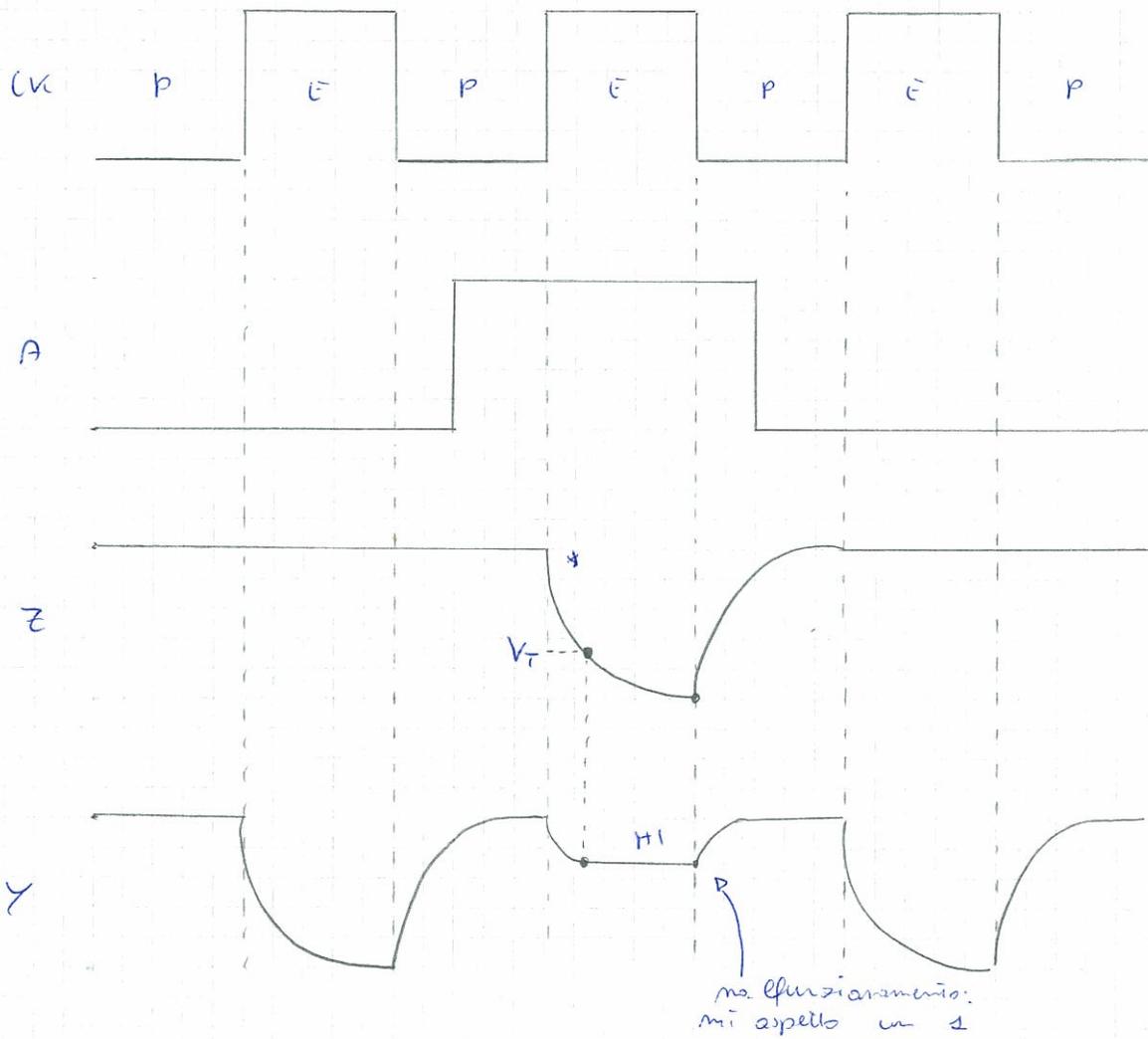
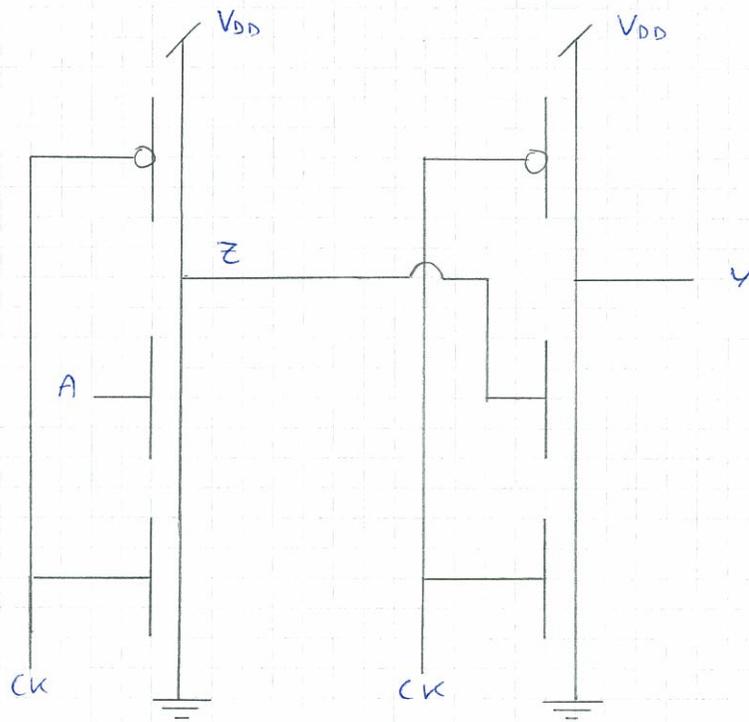
FF attivo sul fronte di discesa del clock \Rightarrow la sua uscita viene aggiornata
sul fronte di discesa del clock.

Il flip-flop ha tutto il tempo per stabilizzare la sua uscita, perché
tanto in fase di pre-charge la logica PE è insensibile a variazioni
sugli ingressi. L'uscita della logica PE verrà poi campionata
quando un eventuale FF a valle sarà pronto a ricevere un
segnale di ingresso.

Quindi la nostra logica PE si inserisce bene in un circuito sequenziale
completo.

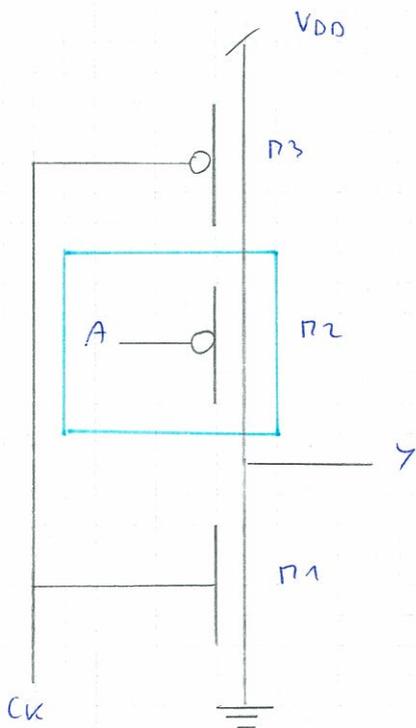
Inverter PE in logica CMOS

Posso progettare la rete di pull-down per fare una rete
combinatoria comunque complessa. Anche se in realtà è dei limiti
agli ingressi che posso avere. A volte conviene fare una rete più
semplice e poi mettere in cascata tante reti PE. Possono a
mettere in cascata tante reti PE.



* Z sta cambiando in fase di valutazione: no funzionamento

Cio' significa che non posso mettere due reti P₁ in cascata. Quindi non posso fare reti a due livelli. Il problema e' che queste logiche sono entrambe sensibili (variano) ad un valore alto all'ingresso. Dovrei pensare ad una logica complementare attiva per CK=0.



Ho operato la rete combinatoria nel pull-up.

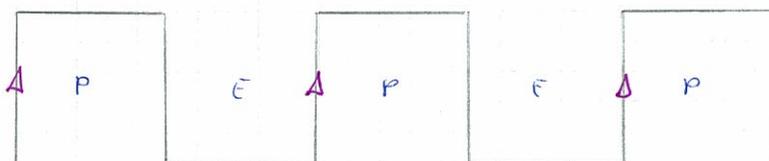
CK = 0 E
 N1 OFF PD OFF
 N3 ON

A = 1 \Rightarrow N2 OFF \Rightarrow PU OFF H.I.
 A = 0 \Rightarrow N2 ON \Rightarrow Y = 1

CK = 1 P
 N1 ON PD ON \Rightarrow Y = 0
 N3 OFF PU OFF

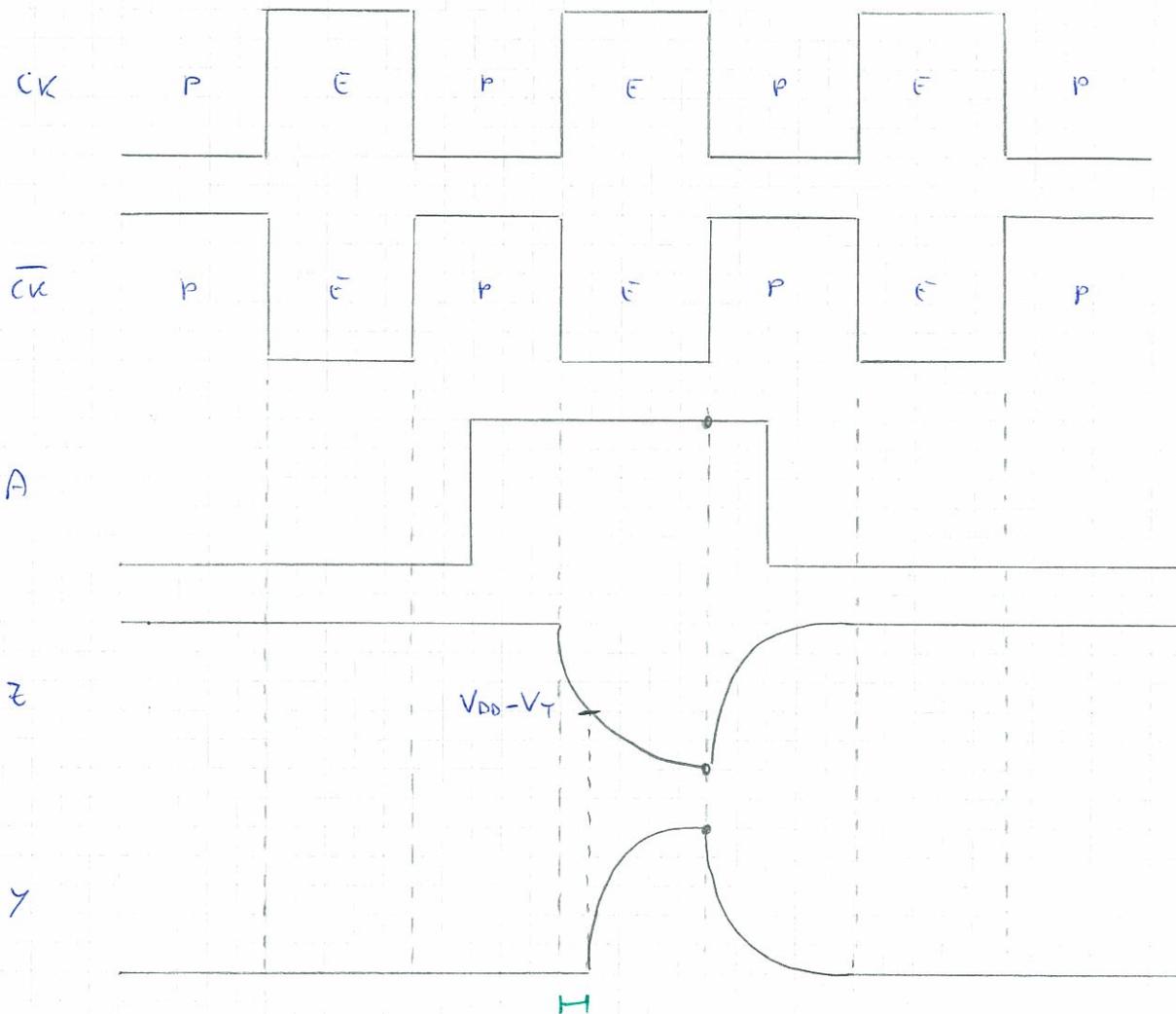
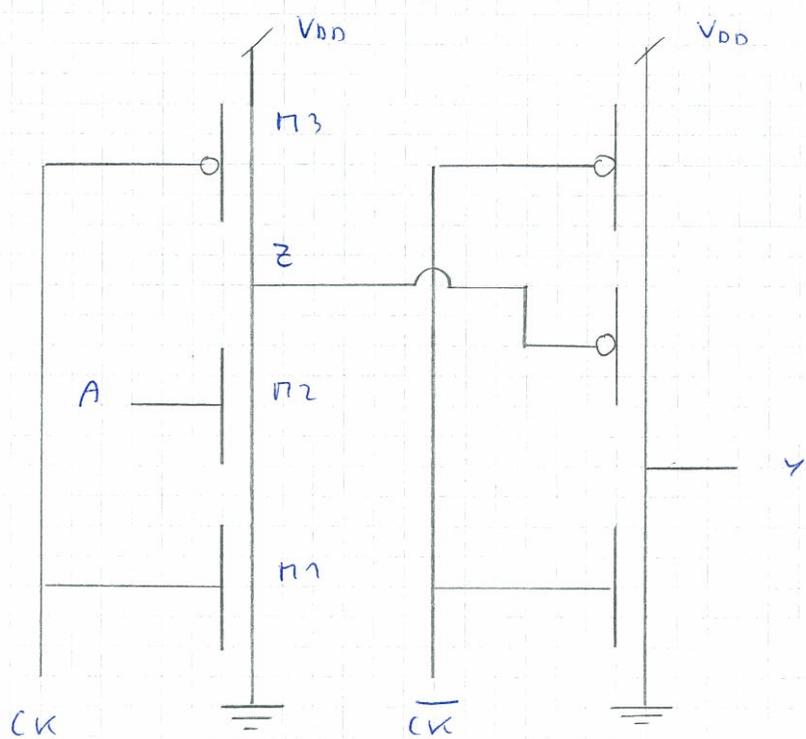
\leftarrow Siano nella fase di precarica
 indipendentemente dal valore di A

Faccio la valutazione dell'uscita nel fronte di salita del clock.



Questo è in PE in logica PMOS, mentre quello di prima era un invertor PE in logica NMOS.

Possono mettere queste due logiche in cascata?

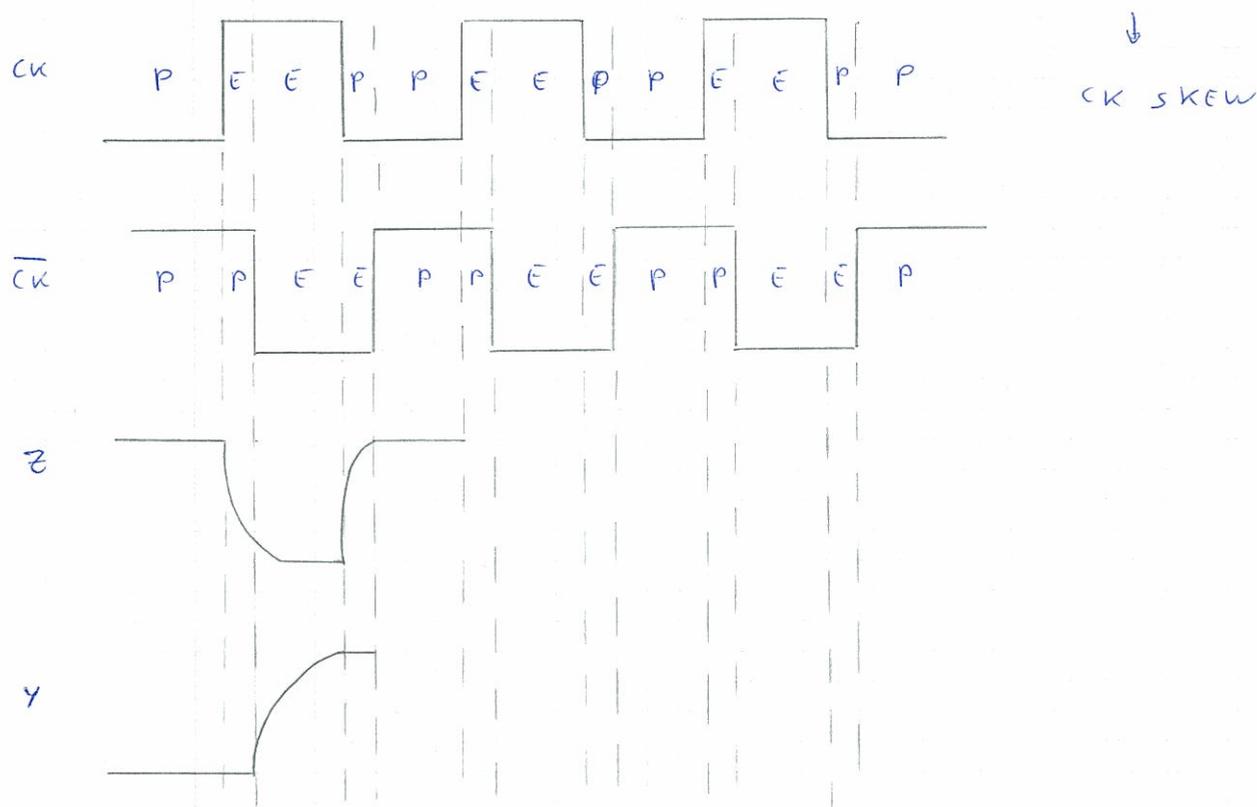


H

Non è più il malfunzionamento di prima. Ho solo un ritardo nella valutazione, H ma non è un problema. Questo perché la logica a valle è sensibile al valore del clock basso.

Qual è il problema? Mi porta dietro dei pros, che sono più ingombranti. L'altro problema è che mi servono due clock: ck e \overline{ck} . E poi devo portare il segnale di clock a tutte le logiche P_i , e questo mi porta un problema di ingombro. Devo fare delle linee molto lunghe che a volte è difficile obbligarci (si fanno dei ponti, ma si può arrivare max a 6-7 livelli). In più usi mi porta capacità e resistenze parassite.

Altro problema: la generazione: devo generare ck e \overline{ck} . La cosa più semplice è fare ck e creare con un invertitore. Ma un invertitore introduce un ritardo, per cui mi sfasano ck e \overline{ck} . Quindi mi ritorna una situazione di questo tipo: situazione di clock skew



La presenza del clock skew in questo caso non genera problemi. Si dice che questo circuito è "immune" al clock skew.